


JP6-302857

## MANUFACTURE OF LIGHT EMITTING DIODE

Patent number: JP6302857  
Publication date: 1994-10-28  
Inventor: FURETSUDO EI KITSUSHIYU; FURANKU EMU SUTERANKA; DENISU SHII DEFUEBURE; BUAAJINIA EMU ROBINSU; JIYON UEBINGU  
Applicant: HEWLETT PACKARD CO  
Classification:  
- international: **H01L33/00; H01L33/00**; (IPC1-7): H01L33/00  
- european: H01L33/00C4D3B; H01L33/00G; H01L33/00G3; H01L33/00G3D; H01L33/00G4B  
Application number: JP19940064528 19940308  
Priority number(s): US19930036532 19930319

## Also published as:

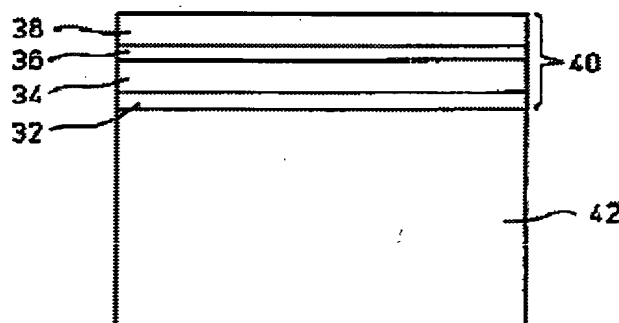
 EP0616376 (A1)  
US5376580 (A1)  
JP2004080042 (A)  
JP2004006986 (A)  
EP0616376 (B1)

more &gt;&gt;

Report a data error here

## Abstract of JP6302857

**PURPOSE:** To provide a method of manufacturing a light emitting diode which has desired mechanical characteristics and transmittivity and is capable of minimizing the resistivity at the interface between a transparent layer and growth layer. **CONSTITUTION:** Light emitting diode layers 32, 34, 36, 38 are grown on a temporarily grown substrate to form a comparatively thin layer type light emitting diode structure 40, this substrate is removed and conductive and light-permeable substrate 42 is wafer-bonded to the diode layer 32 to be a lower buffer layer, instead of the temporarily grown substrate, thereby manufacturing a light emitting diode.



Data supplied from the esp@cenet database - Worldwide

## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

## [Claim(s)]

[Claim 1] The 1st ingredient which has a property with manufacture and adaptability of the light emitting diode layer (32, 34, 36, and 38) which has a desired mechanical characteristic is chosen.; selection by forming the 1st substrate (30) which consists of the 1st ingredient carried out, and manufacturing a light emitting diode layer on the; 1st substrate The manufacture approach of the light emitting diode which consists of a; process which chooses the translucency ingredient which forms a light emitting diode substrate (40) and fits improvement in the engine performance of; light emitting diode structure, and carries out wafer bonding of the clear layer (42) of; and the selected translucency ingredient to a light emitting diode layer.

---

[Translation done.]

## \* NOTICES \*

JP0 and NCIP1 are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] Generally especially this invention relates to the manufacture approach of light emitting diode about light emitting diode.

[0002]

[Description of the Prior Art] Light emitting diode (henceforth LED) is used for the extensive application. For example, in optical data transmission, LED is used in order to transmit a data signal along with a fiber-optic cable.

[0003] Unlike laser, LED does not generate the light beam which converged good. LED emits a beam of light in all the directions by contrast. That is, luminescence is isotropy. The layer of LED of many conventional forms grows on the substrate of light absorption nature with few energy gaps than the radiant energy of the active region of LED. Since a substrate absorbs a part of beam of light generated in the active region, the effectiveness of a component falls. The aluminum-arsenide gallium (henceforth AlGaAs) LED of the conventional single heterogeneous joint form is shown in drawing 20. p - The epitaxial layer 10 of doped AlGaAs, and n - The epitaxial layer 12 of doped AlGaAs is p - It grows up on the front face of the doped gallium arsenide (henceforth GaAs) absorptivity substrate 14. A beam of light is generated by the flow of the current which passes along the joint of epitaxial layers 10 and 12. However, since the energy gap of the absorptivity substrate 14 is smaller than radiant energy, it emanates in the direction of the absorptivity substrate 14 caudad, or the beam of light by which internal reflection is carried out is absorbed.

[0004] Drawing 21 is AlGaAs of a duplex heterojunction form on the substrate 16 of absorptivity. It is LED. n - The epitaxial layer 18 of doped AlGaAs, and n - The layers 20 and 22 of doped AlGaAs grow on the substrate 16 of absorptivity. Without generating a beam of light and being absorbed within the epitaxial layer 20 used as an active layer, the band gap of an epitaxial layer 18-22 is chosen so that epitaxial layers 18 and 22 may be passed and it may go on. However, absorption of a beam of light is not produced in the absorptivity substrate 16.

[0005] Improvement in the engine performance can be attained by using the transparent substrate which has a larger energy gap than the radiant energy of the active region of LED. It is in the effectiveness of a translucency substrate being emitted caudad or preventing absorption of the beam of light which goes caudad. Without being absorbed, a beam of light penetrates a translucency substrate and is reflected from the metal adhesion object of a pars basilaris ossis occipitalis, and a reflexivity cap. A reflected ray is emitted from the crowning or edge of a chip after that, consequently the effectiveness of LED increases sharply.

[0006] There are some manufacturing technologies in LED which has a translucency substrate. The 1st technique is carrying out epitaxial growth of the P-n junction on a translucency substrate. However, the trouble of this technique is a point that achievement of lattice matching permissible depending on the lattice constant of an LED epitaxial layer is difficult. The 2nd technique is growing up an LED epitaxial layer on the absorptivity substrate removed behind. For example, at drawing 3 R> 3, it is n - The doped translucency substrate 24 and p - Epitaxial growth of the doped epitaxial layers 26 and 28 can be carried out on an absorptivity substrate (not shown). Translucency "a substrate" 24 is manufactured by growing up thick translucency and a thick conductive epitaxial layer 75 micrometers or more on the substrate of the absorptivity of grid adjustment. Next, it grows up on translucency "substrate" 24 with the epitaxial EPITAKISHURU layers 26 and 28 which are another layers, and an absorptivity substrate is removed. Or the epitaxial layers 26 and 28 previously more thinner than thicker translucency "substrate" 24 may be grown up.

[0007]

[Problem(s) to be Solved by the Invention] The above-mentioned manufacturing technology of LED which has a translucency substrate has a fault by birth. When using a growth technique of a certain kind for fixed semiconductor materials, carrying out epitaxial growth of "it is thick", translucency, and conductive "substrate" to the 1st has even the impossible, or it is not practical. Even when it is [ 2nd ] possible, a "thick" epitaxial layer requires long growth time amount, and the amount of manufactures of such LED is limited. The LED layer produced after removing an absorptivity substrate to the 3rd is comparatively as thin as about 3 to 6 mils. It is difficult for a thin wafer to deal with it, without damaging, and manufacture becomes much more difficult. Furthermore, according to a wafer being thin, in case it equips with a wafer in an LED package, difficulty arises. A wafer is mounted, and in order to make the pars basilaris ossis occipitalis of a component contact, the epoxy typically loaded with silver is used. Epoxy becomes the cause which may flow out exceeding the edge of a thin wafer and diode (LED) short-circuits by it. Furthermore, a thin wafer is not mechanically so dogged as the equipment of drawing 20 which grows on at least 10-mil "thick" substrate, and drawing 21. In case an epoxy lamp is equipped with such "thin" LED, the probability for equipment to break down becomes large. Thus, when this 2nd technique is adopted, for an actual crystal growth process, through use of "past [ thickness ]" and equipment, a clear layer is that "too thin" and has the consistent problem of thickness.

[0008] Consequently, compromise intervenes about selection of an absorptivity substrate and a translucency substrate. Although LED which has an absorptivity substrate can be equipped with the mechanical characteristic superior to LED of a translucency substrate by the growth technique and the manufacturing technology, generally an absorptivity substrate has bad effectiveness. Effectiveness can be raised if a translucency substrate is used. However, when growing up on the translucency substrate which has the lattice constant from which an epitaxial layer differs, difficulty may arise by the mismatching of a grid. Furthermore, when epitaxial growth of the "thick" translucency "a substrate" is carried out, the consistent problem of thickness may be encountered.

[0009] The effect of an absorptivity layer or a translucency layer can be controlled to the minimum by growing up the Bragg reflector (Bragg reflector) layer between the epitaxial layer of the normal mode, and an absorptivity layer. Since the Bragg reflector reflects radiation or the beam of light by which internal reflection was carried out in the direction of an absorptivity layer, the improvement in effectiveness is attained. However, since the Bragg reflector reflects only the incident ray near a right angle, improvement is limited as

compared with the technique which used the translucency substrate. It does not reflect, but passes to a substrate and a greatly different incident ray from a right angle is absorbed there. Furthermore, typically, since LED which has the Bragg reflector needs to repeat many thin epitaxial layers whose thickness is 100Å, and to grow up them, it is much more difficult to manufacture.

[0010] The purpose of this invention is to propose the formation approach of LED which has the mechanical property of at least 8-mil "thick" request of a substrate, and the optical property of LED of a translucency substrate.

[0011]

[Means for Solving the Problem] Although the above-mentioned purpose used temporary growth substrate optimal for growth of an LED layer, it was attained by the approach by which the substrate whose engine performance improved without needing the epitaxial growth of this substrate is obtained. In the suitable example, the improvement substrate in the engine performance is a transparency member joined to an LED layer using a wafer bonding technique. Since a clear layer is not joined to an LED layer until the epitaxial growth of an LED layer is completed, the lattice matching of a translucency substrate and an epitaxial layer is not a problem.

[0012] A temporary growth substrate consists of the ingredient with manufacture and adaptability of the LED layer which has a desired mechanical characteristic. For example, in order to attain the crystal growth of high quality and to optimize the adjustment of a grid, the absorptivity substrate ingredient of the normal mode can be used. Next, an LED layer grows using one containing liquid phase epitaxy, vapor phase epitaxy, metal organic chemistry vacuum evaporation, and/or molecule beam epitaxy, or two or more various approaches. Be [easy although / it] the LED layer which generates LED structure consists of a luminescence active layer, an up-and-down seal layer, current diffusion and a beam-of-light emission layer, and an unit or two or more buffer coats, it is not limited to this.

[0013] A temporary growth substrate of absorptivity completes the purpose that the epitaxial layer of high quality can be formed, following growth of LED structure. Although removing is desirable as for a growth substrate, and an absorptivity growth substrate is smaller than the radiant energy of LED structure as for it, it is because it has the energy gap equal to it. Relation like [between an energy gap and the radiant energy of equipment] limits the effectiveness of equipment remarkably. The method of removing a temporary growth substrate is not restrictive, and chemical etching, lap polish / polish, reactive ion etching, and ion grinding are included in another approach. Removing a part or all of a layer in contact with the substrate of absorptivity further is also included in removal of a growth substrate.

[0014] Next, wafer bonding of the 2nd substrate is carried out to LED structure. In the suitable example, the 2nd wafer is conductivity and translucency. A translucency substrate is an improvement layer in the engine performance at an absorptivity substrate and a contrast target. Wafer bonding can be performed in the best of LED structure, or the lowest layer. Conventionally, since LED equipment equips the opposite edge with the electrode in order to add bias to the p-n junction of a component suitably, it is important for it to make the resistivity of the interface of a translucency substrate and a growth phase into the minimum. In order to promote achievement of a desired resistive characteristic, using the component containing an indium is proposed. The surface mobility other than In component is high, and diffusibility is high, and/or it is advantageous if the component (for example, Hg content, Cd content, and Zn component) of others excellent in the mass transfer property is used for the application of solid-state wafer bonding.

[0015]

[Function] The remaining LED structure of after removal of a temporary growth substrate is thin to less than 10 micrometers and the degree of pole, therefore are easy to break, and one of the concerns at the time of adopting the above-mentioned approach is hard to process. In the 2nd example, after a temporary growth substrate attaches the 2nd substrate in the maximum upper layer of LED structure, it is removed for the first time. When epitaxial growth of the 2nd substrate is not carried out and it carries out wafer bonding, it becomes possible to attach 8 mils or the thick substrate beyond it. It is easy to be transparent [this 2nd substrate], and it serves as an improvement layer in the engine performance for optical emission and current diffusion, and/or serves only as a means for raising mechanical stability between the processes which perform 2nd wafer bonding of a translucency substrate on the side face of the LED structure where remove a growth substrate and a growth substrate is removed from there. When only mechanical stability is required, this 2nd substrate may be removed [after carrying out the 2nd wafer bonding process].

[0016] Although the clearest application that adopts a wafer bonding technique is an application which a light absorption nature substrate is removed and is replaced with a translucency substrate, it is not limited to this. A temporary growth substrate is good at the substrate of translucency with the low conductivity which restricts a current diffusing capacity. Such a substrate will restrict the effectiveness of LED ultimately. Then, in order that conductivity may replace with the substrate of higher translucency, the engine performance of equipment can be raised by removing a transparent temporary growth substrate. Similarly, conductivity can replace one low absorptivity layer with an absorptivity layer with higher conductivity.

[0017] The above-mentioned approach forms the luminescence semiconductor device which has a wafer junctional zone. It is defined as a "wafer junctional zone" being the layer or substrate in which the property by which it is characterized [of having performed wafer bonding here / of a layer] is shown. One of such the descriptions is considered that the properties of the rearrangement which is formed in the interface by which wafer bonding was carried out and not suiting differ as compared with the heterogeneous interface of the mismatching by which epitaxial growth was carried out. The interface where wafer bonding was made is mainly accepted to be what presents the mismatching transition which consists of "a rearrangement of an edge (edge dislocation)", i.e., the rearrangement which has the Burgers vector in the interface by which wafer bonding was carried out. These properties are contrastive with the mismatching interface which presents the rearrangement which it is not limited to the interface of a typical more high "a diffusion rearrangement (threading dislocation)", i.e., mismatching, but is going to spread perpendicularly to an interface and by which epitaxial growth was carried out.

[0018] In the another example of this invention, epitaxial growth of the layer is carried out on the 1st growth substrate which does not need to be removed by becoming behind. In a humid environment, many of III-V semi-conductors of Al content are unstable, and it deteriorates by hydrolysis. By such degradation, the trouble about dependability may arise in LED in which thickness contains a considerable aluminum content III-V epitaxial layer. For example, LED of AlGaAs as shown in drawing 22 deteriorates as a result of oxidation of a layer with high aluminum content during the reliability inspection under a humid elevated temperature. This degradation may be mitigated by adopting wafer bonding. For example, although aluminum content is high, most of many layers (epitaxial layer 28) can be replaced with the thick translucency and the conductive wafer junctional zone whose aluminum content is not high. Similarly, the wafer junctional zone of GaP can be replaced with most transparency substrates 24. That is, in order to attain inactivation, a wafer bonding technique can be used.

[0019] In the another example, wafer junction of the conductive mirror can be carried out at the LED layer which forms LED structure. Next, the beam of light emitted in the direction of a mirror reflects in LED structure, and the effectiveness of equipment is raised. In this example, a mirror is supported by the substrate as which the substrate or translucency substrate of absorptivity is sufficient. It is because a beam of light does not reach the substrate itself.

[0020] Wafer bonding can be used in order to disregard any optical advantages and to raise mechanical stability and/or thermal stability

further. For example, in order to raise stability, a strong III-V semiconductor wafer or a SiC wafer is joinable to II-VLED structure.

[0021] Furthermore, in the another example, pattern formation is carried out so that the property that a wafer is electric and/or that at least one wafer front face by which wafer junction is carried out is optical may change alternatively. For example, a hollow may be formed in the field chosen in advance of wafer bonding in order to form a desired current path in the active region of LED. Although reducing the beam of light turned to the electrode metalized in order to impress an electrical potential difference to LED as possibility of an application and to simplify manufacture of a spot emitter is included, it is not limited to this. It can use also for pattern formation changing the optical property which met the wafer front face further, and carrying out reorientation in the mode of a request of a beam of light.

[0022] As mentioned above, a wafer junction interface has low electrical resistivity, and it is desirable that a mechanical strength is high. When attaining a desired resistive characteristic and the integrity on structure, it is Juan Dell Wace's force (van der waals' forces). It has become clear that it generally is not effective, either. It also became clear that a pressure and the combination of high temperature processing attain a desired ohm and a desired mechanical property more certainly. Furthermore, by applying a pressure under an elevated temperature, in case a wafer suits mutually and joins a comparatively thick layer especially, a certain trouble resulting from the complaint slippage on the front face of a wafer can be suppressed to the minimum.

[0023] The advantage of this invention is to reinforce the engine performance of LED manufactured by this approach. The both sides of beam-of-light emission and current diffusion improve. Since wafer bonding does not receive constraint by the epitaxial growth of a substrate, another advantage is to be able to form 8 mils or the thick substrate beyond it with sufficient cost efficiency. Handling and the wearing property to a component improve according to a substrate being thick.

[0024]

[Example] When drawing 1 is referred to, the 1st process which carries out this invention is choosing the growth substrate 30 as the 1st substrate which carries out sequential growth of two or more LED layers on it. In the suitable example, the growth substrate 30 is a temporary growth substrate removed after manufacture of an LED layer. In this example, since the electric and optical property of a growth substrate is not related to actuation of LED manufactured, a growth substrate can be chosen only about the property of influencing growth of an LED layer. For example, lattice matching is the important side face in which it is considered when choosing a growth substrate generally. However, since a growth substrate is left behind depending on an example, in the example, properties other than the adaptability of growth become important.

[0025] The thickness of the example of a temporary growth substrate 30 is 250 thru/or a GaAs substrate within the limits of 500 micrometers. Next, four LED layers 32, 34, 36, and 38 grow on the growth substrate 30. The LED layer 32-38 can use any of the various well-known approaches containing liquid phase epitaxy, vapor phase epitaxy, metal organic chemistry vacuum evaporatio, and molecule beam epitaxy they are, and can make it grow up. This invention can be used for the LED equipment of every class although the LED layer 32-38 forms the duplex heterojunction LED.

[0026] The LED layer 32 right above the growth substrate 30 is n. - Although it is the doped buffer coat, it also becomes the 2nd side face combined with the growth substrate (30). In the upper part of a buffer coat, it is n. - The AlGaInP seal layer of the doped lower part grows. The thickness of the LED layer 34 of a lower seal layer is 800 nanometers.

[0027] As for the LED layer 36 used as the active layer of AlGaInP, thickness grows to 500 nanometers. Next, p - While becoming the up seal layer of doped AlGaInP, the 1st side face is [ the model thickness of the LED layer 38 ] 800 nanometers. In order to improve the engine performance of LED structure by promoting diffusion of a current, you may make it grow up on the LED layer 38 which turns into an up seal layer by making a window layer with conductivity it being transparent and higher than the LED layers 34, 36, and 38 into an option. Such a window layer is indicated by U.S. Pat. No. 5,008,718 besides Fletcher (Fletcher).

[0028] The light absorption nature of extent which is in the LED layer 32-38, and the error of electrical resistivity are permitted. As for it, these layers are fully thin, and it is because it is not necessary to reach a compromise remarkably in the engine performance of a component in order to attain the optimal property. However, a temporary growth substrate 30 of light absorption nature affects the engine performance clearly. Now, if drawing 2 is referred to, a growth substrate is already removed and the LED structure formed of the LED layer 32-38 which is a growth phase is left behind. Removal of a growth substrate can be attained by the approach of those combination including chemical etching, lap polish / polish, reactive ion etching, and ion grinding. As long as a pure and flat front face appears after removing, the method of removing a growth substrate is not restrictive so that it may explain in full detail behind. In addition to a growth substrate, all or a part of LED layers 32 which is a buffer coat can be removed, and a part of LED layer 34 which is a lower seal layer can be removed.

[0029] After removing a growth substrate temporarily, the improvement substrate in the engine performance is joined for any of the LED layer 32 of the lowest layer of the LED structure 40 shown in drawing 2, or the LED layer 38 of the maximum upper layer being. The location of the wafer which should be joined is influenced by the electric and optical property of the LED structure 40 and a growth phase 32-38, and/or the substrate joined. A wafer bonding technique is adopted. As compared with the option which gives an engine-performance enhancement substrate to LED, many advantages are acquired by wafer bonding.

[0030] Drawing 3 shows the example by which was used as a clear layer and wafer junction was carried out at the conductivity which is also a permanent substrate, and the LED layer 32 whose translucency substrate 42 is a buffer coat. Even if it is not necessary to grow up a translucency substrate into wafer bonding, the advantage that this can be obtained is brought about. The conductivity by which wafer junction was carried out preferably, and the translucency substrate 42 have the thickness exceeding 8 mils. Long duration will be extremely required, even if it is difficult to grow up the substrate which has the thickness which is equal to a Prior art being used, or it is impossible and it is possible. Since what is necessary is just to grow up only the LED layer 32-38 of the LED structure 40 which is a film comparatively, the time amount which epitaxial growth takes can be shortened dramatically, and throughput can be made into the maximum by it. Furthermore, the thick equipment with which the mechanical property was reinforced by the wafer bonding process as compared with the translucency substrate by which epitaxial growth is carried out is obtained. Since the LED equipment produced as a result becomes still easier and handling stops being able to damage it easily, manufacture becomes easier and the quantity of output of equipment increases. Wafer bonding may be used in order to displace the p-n junction section from the pars basilaris ossis occipitalis of equipment further, and in case equipment is mounted in conductive silver content epoxy like before by it, possibility that equipment will consider as a short circuit is mitigated.

[0031] Now, reference of drawing 4 includes the LED technique of the normal mode in the remainder of a production process. An electrode 44 is formed of vacuum evaporatio for example, on the LED layer 38 which is an up seal layer. The typical ingredient which forms an electrode is a golden-zinc alloy. The 2nd electrode 46 is formed on conductivity and the translucency substrate 42. Although vacuum evaporatio is used also in this case, it is not limited to it. A typical ingredient is a golden-germanium alloy.

[0032] In order to adaptation-ize with wafer bonding depending on the case, it is desirable to correct the above-mentioned process, or even the need has a certain thing. For example, in drawing 5, wafer junction of the 2nd substrate 48 which is also a permanent

substrate of a SiC substrate is carried out at the structure of drawing 1. That is, before the 2nd substrate removes a temporary growth substrate 30, wafer junction of it is carried out. As for the 2nd substrate 48, it is desirable that it is a "thick" layer exceeding 6 mils. The mechanical stability of equipment will improve sharply, since the time amount by which the LED layer 32-38 of an epitaxial layer is not supported with a substrate by carrying out wafer junction is lost before removing the growth substrate 30. As another selection, epitaxial growth of the buffer coat may be carried out on the 2nd substrate 48 before wafer bonding. Such an epitaxial buffer coat may be used with the layer replaced with the growth substrate 30 at the pars basilaris ossis occipitalis of the LED layer 32 which is a buffer coat.

[0033] In the another example, the equipment of drawing 1 is easy to be the thing of formal structure conventionally which has the LED layer 32-38 which grows on the growth substrate 30 of translucency or absorptivity. In that case, the 2nd substrate 48 by the wafer junctional zone of drawing 5 R> 5 will serve as a layer of thick conductivity like the current diffusion window layer mentioned above with reference to U.S. Pat. No. 5,008,718 besides Fletcher (Fletcher), and translucency. Furthermore, since beam-of-light emission and/or a current diffusion property are raised after joining the 2nd substrate 48 of the maximum upper layer, it is also possible to remove the original growth substrate 30 and to carry out wafer junction of another improvement substrate in the engine performance at the pars basilaris ossis occipitalis of the remaining structure.

[0034] Furthermore, the component of drawing 1 may have low conductivity and it may have the growth substrate 30 of a formal translucency layer conventionally to which the current diffusing power of equipment is limited. In this case, it is desirable to carry out wafer junction of the translucency substrate with higher conductivity. If conductivity increases, the engine performance of equipment will improve. Wafer junction of the translucency substrate of replacement is carried out at the exposed LED layer with low conductivity. Wafer junction of the front stirrup of removal of the translucency substrate of replacement with higher conductivity of a translucency layer with low conductivity can be carried out behind at LED structure.

[0035] Similarly, conductivity may replace a temporary growth substrate of absorptivity with a higher absorptivity substrate. Although it is not suitable this example to use wafer bonding in order to attach an absorptivity layer, such wafer bonding will also raise the engine performance of an LED component similarly.

[0036] Now, if drawing 6 is referred to, wafer bonding can be used also in order to inactivate which structure of drawing 1 or drawing 3. Since such a semi-conductor tends to deteriorate by hydrolysis, many aluminum content III-V semi-conductors are unstable in a humid ambient atmosphere. A problem may arise in respect of dependability in LED which contains the LED layer 30-38 of the aluminum content III-V epitaxial layer of considerable thickness by such degradation. For example, degradation may originate in oxidation of the LED layer 38 which is a seal layer of the upper part where aluminum content is high during use under a humid elevated temperature. Degradation can be prevented if most aluminum content layers are replaced with thick translucency with the low content of aluminum component, and a conductive wafer bonding layer. For example, the wafer bonding layer 50 is good at GaP.

[0037] If drawing 3 is referred to again, the electrical installation of the request between conductivity, the translucency substrate 42, and the LED structure 40 can be guaranteed by implementation of metalization. For example, a thin contact field can be formed in the top face of the conductivity by which wafer junction is carried out, and the translucency substrate 42. A corresponding contact field can be formed in the LED layer 32 of the lowest layer of LED structure. A less than 1000Å contact has desirable thickness. Although the pattern of a contact needs a fully large thing in order to secure a proper electric contact, the interface of LED structure, and the conductivity and the translucency substrate 42 is in a translucency substrate, and the gross area which a contact occupies needs a small enough thing to enable transparency of the beam of light from a translucency substrate. An alloy or a non-alloy is sufficient as a contact. Then, the front face of a substrate is contacted with the front face of the LED layer 32 of the lowest layer, equipment goes up and temperature is heat-treated. The wafer bonding in the field which is not metalized by heat treatment is attained, and junction at the metalized contact is made.

[0038] In semi-conductor-glass junction, the bonding strength which was excellent as compared with semi-conductor-semi-conductor junction was accepted. Also in semi-conductor-SiO<sub>2</sub> junction, the same thing is accepted as compared with semi-conductor-semi-conductor junction. Thus, probably, it will be desirable to form LED of a translucency substrate from a viewpoint of mechanical integrity by manufacturing the fastening layer of a semi-conductor-glass-semi-conductor or the fastening layer of a semi-conductor-SiO<sub>2</sub>-semi-conductor. If drawing 7 is referred to, glass, SiO<sub>2</sub>, or the layer 52 of other oxides can be formed on conductivity and the translucency substrate 54. Next, pattern formation of the layer 52 is carried out, and the contact metalization field 56 is given like [ in the case of the example described immediately before ]. or — or it — in addition, pattern formation may be carried out to an oxide and/or the contact metalization field 58 on the LED layer 32 of the lowest layer of the LED structure 40. Also in this case, a contact gives sufficient area for good electric contact, and as it still makes an interface translucency sharply at coincidence, pattern formation needs to be carried out. Next, it is contacted with the front face of the LED layer 32 whose front face of a layer 52 is a buffer coat, and the wafer junction between layers is formed of processing. The bonding strength between ingredients is reinforced by heat treatment.

[0039] Now, reference of drawing 8 can carry out wafer junction of the above-mentioned LED structure 40 at a mirror 60. A mirror 60 reflects the beam of light emitted caudad there or the internal beam of light reflected previously. The beam-of-light output of equipment is heightened by reflection. A mirror 60 is suitably supported by the substrate 62. Since a beam of light is reflected before it reaches a substrate, the optical property of a substrate is unrelated.

[0040] In order to add bias to the LED structure 40, a mirror 60 and a substrate 62 need to consist of a conductive ingredient so that an electrode can be joined to a substrate. Furthermore, please care about that what consists of epitaxial growth or the Bragg reflector by which joining was carried out is sufficient as a mirror. In order to form a substrate 62, silicon, GaAs, or the same ingredient of a certain kind can be used. Equipment is under an elevated temperature, or when operating under a high current, since thermal conductivity is comparatively high, some of these ingredients, for example, Si, can raise equipment further with these ingredients.

[0041] Laminating LED equipment can also be formed using a wafer bonding process. Such a component is shown in drawing 9. when an interface is an interface where high conductivity is held through equipment, two or more LED structures 40 and 64 can be joined mutually, and (or) it can join to another layer. The format of the toe ping of the LED layers 34 and 38 of the upside LED structure 40 corresponds with the format of each doping of the layers 70 and 66 of the lower LED structure 64. Therefore, it is arranged with the polarity with two same LED structures 40 and 64. Furthermore, the front face by which wafer junction is carried out needs to be prepared so that it may be doped very heavily. Thus, in case structure is joined mutually, the tunnel junction section 72 which has a polarity contrary to LED structure and which was doped heavily is formed. Or epitaxial growth of the tunnel junction section may be carried out as a part of LED structure, performing wafer bonding on the exposure front face of this joint.

[0042] The equipment of drawing 9 operates by impressing an electrical potential difference to the top electrode 74, and impressing an electrical potential difference to the lower electrode 76 so that bias of each LED structures 40 and 64 may be carried out to the forward direction. A lower electrode is the metalization layer by which it was patternized on conductivity and the translucency substrate 78. The forward bias of laminating equipment adds a reverse bias to the tunnel junction section 72 doped heavily, and makes the tunnel

junction section conductivity by it. Thus, in order to raise a beam-of-light output and effectiveness, the laminating of the LED of the number of arbitration can be carried out mutually. The LED equipment which consists of the laminating of the LED structures 40 and 64 operates with the grand total of the electrical potential difference of each LED structure in case the laminating of it is not carried out mutually. The LED layer 36 and active layer 68 which are an active layer are not deterministically important for having the same radiant energy. However, as for conductivity and the translucency substrate 78, it is desirable to have the larger energy gap than the emission energy of each LED structure. Please care about that a laminating can be formed, also when all the conductive formats are reversed.

[0043] On the occasion of formation of LED, wafer junction of the substrate of the number of arbitration can be carried out. In the suitable example, a wafer binder course is a semi-conductor with which thickness exceeds 1 mil. The combination of the arbitration of Si, germanium, AlP, AlSb, GaN, AlN and GaP, GaAs, GaSb, InP, InAs, InSb, ZnS, ZnSe, CdSe, CdTe, SiC, or the above-mentioned alloy is included in a permissible ingredient. A commercial thing is sufficient as a wafer junction substrate, or what added the epitaxial growth phase to the commercial substrate is sufficient as it. The reason for adding an epitaxial growth phase is for raising the conductivity of the interface of wafer junction [ \*\*\*\* / raising the bonding strength of a substrate ]. A wafer junction substrate can be independent and can also be [ the above-mentioned ingredient removed from a temporary growth substrate is thick, namely, ] an epitaxial layer 1 mils or more. Furthermore, were formed on a temporary growth substrate, for example, a wafer junctional zone may be a 2-micrometer thinner epitaxial layer. Then, wafer junction of such a layer is carried out, and this growth substrate is removed succeeding.

[0044] Drawing 10 shows the example by which wafer junction is carried out to the LED structure 128 where the semiconductor wafer 126 as the 1st layer by which pattern formation was carried out consists of the upside seal layer 130, an active layer 132, and the lower seal layer 134. LED structure is grown up on a substrate 136, or wafer junction can be carried out at a substrate 136. Although a current diffusion window which was explained with reference to drawing 5 is sufficient as the semiconductor wafer 126 by which pattern formation was carried out, it is not limited to this. The semiconductor wafer 126 by which pattern formation was carried out is etched in order for the lower front face 138 as the 1st front face to become depressed and to form 140. In case the semiconductor wafer by which pattern formation was carried out by preparing a hollow is joined to LED structure, the both sides of electrical characteristics and an optical property change.

[0045] In drawing 11, wafer junction of the semiconductor wafer 126 by which pattern formation was carried out is carried out at the seal layer 130 of the upper part of the LED structure 128. Next, Electrodes 142 and 144A are formed on the up front face of the semiconductor wafer 126 by which pattern formation was carried out, and the lower front face of a substrate 136. The hollow 140 in the patternized wafer forms a cavity or an opening. Although a current flows in the LED structure 128 by impressing an electrical potential difference to an electrode 142, as the arrow head of the flow of the current of drawing 11 shows, a current does not flow in the field just under a cavity.

[0046] Generally the field of an electrode is a field of absorptivity. Consequently, the effectiveness of LED equipment improves by the flow of the limited current as shown in drawing 11, and the approach of choosing a current flow path which is not complicated is acquired.

[0047] An advantage is acquired by the flow of the current to which the LED equipment of others like a display and a spot emitter was also limited. Drawing 12 shows the spot emitter 142 equipped with the LED structure 144 on the substrate 146. Hollows 148 and 150 are formed in the wafer bonding layer 152. The cavity of the interface of LED structure and a wafer bonding layer achieves the function which limits the flow of the current from electrodes 154 and 156 to an interface. Since a hollow limits the electric surface of action in an interface, it becomes depressed according to the limited current flow path, and a current impregnation field is obtained between 148 and 150. With an example which combines the spot emitter 142 with an optical fiber device, the circulation and the beam-of-light output of a current in a central field are desirable. In the suitable example, hollows 148 and 150 are parts from which a single annular cavity differs, and a bore forms a central current impregnation field in this cavity.

[0048] The pattern formation of a semiconductor wafer by which wafer junction is carried out can be used in favor also of also carrying out reorientation of the beam of light emitted from the LED layer strategically. The reorientation of a beam of light changes with the geometric-like configurations, the applications, and the methods of cling of equipment. The example is shown in drawing 13. LED layer 156A is fastened between the upper layer 158 and a lower layer 160. Wafer junction of the external layers 162 and 164 is carried out in the opposite side. The non-joining fields 166, 168 and 170 are formed in the part fully distant from the electrode 172 so that a current can be spread to a non-joining field. However, if it does not do so, in order to carry out reorientation of the beam of light absorbed with an electrode, cavities of enough are in an electrode in near. Thus, improvement in beam-of-light emission is realizable.

[0049] Although the flow of the current from an electrode 172 to LED layer 156A is hardly influenced by the non-joining fields 166, 168 and 170, the beam of light from an LED layer is influenced. The reorientation of a beam of light is produced as a result of the difference of a refractive index with the layer which adjoins the non-joining field 166, 168, 170. The refractive index of a surrounding semi-conductor is good at about 3, and, on the other hand, the refractive index in a cavity is about 1. The exact refractive index in a non-joining field is influenced by the junction approach of a semiconductor wafer. Typically, junction is H<sub>2</sub>. Or PH<sub>3</sub> It is carried out in a gas environment [ like ]. Therefore, a cavity will be filled up with a gas. Such a gas has the refractive index very near 1 at standard atmospheric pressure and temperature. This is not strict, although the refractive index of a semi-conductor is larger than the refractive index of a cavity the optimal so that a beam of light may not be shut up in a cavity.

[0050] The option which joins the semiconductor wafer by which pattern formation was carried out to LED is the approach of carrying out pattern formation to one of the LED layers, before joining to the substrate which pattern formation was carried out to the LED layer, or is not used as it. In drawing 14, the LED layer 174 by which pattern formation was carried out became depressed, and has prepared 176. Epitaxial growth of the LED layer 174 by which pattern formation was carried out could be carried out from the beginning, and wafer junction could be carried out at the LED layer 178 located under a substrate 180. Wafer junction is carried out on the upper front face of an LED layer on which pattern formation of the 2nd substrate 182 was succeeding carried out to formation of a hollow 176. Or pattern formation may be carried out to the LED layer 174 and/or the 2nd substrate 182. Furthermore, it is also possible to carry out wafer junction of the two layers by which pattern formation was carried out to at least one side separately, and then to carry out wafer junction of the two layers at an LED epitaxial layer.

[0051] If drawing 10 is referred to again, a hollow 140 can be formed in a semiconductor wafer 126 using a standard etching technique. In order to carry out pattern formation to the front face of the wafer joined, a well-known option can also be used technically. When it mentions as mere instantiation, the combination of the arbitration of the alternative diffusion for forming the laying-under-the-ground p-n junction section by which the reverse bias was carried out or an ion implantation, the approach of growing or vapor-depositing an insulating oxidizing zone by the alternative pattern, and the various approaches of using etc. is included in an option. About an oxidizing zone, the refractive index of almost all oxide is about 1.6, and it is sufficient refractive index for this to carry out reorientation of the beam of light like etching and the above-mentioned cavity formed of wafer bonding.

[0052] The trial of the wafer bonding by which pattern formation was carried out was performed using the n-GaP substrate. It was



combined with the n-GaP substrate by which pattern formation is not carried out using the technique which the patternized n-GaP substrate mentions later. As for the substrate by which pattern formation was carried out, the diameter was formed by about 175 micrometers by etching the annular hollow whose depth is about 15 micrometers. The hollow had only 125 micrometers of spacing separated. Being able to attain the pattern formation of a substrate easily with such a dimension, junction had sufficient mechanical strength to be able to carry out the cleavage of the substrate. It experimented also in the small hollow rather than it was about 40 micrometers. It is also possible to extend the contraction range even in dimension of less than 10 micrometers, and current limitation and the beam-of-light diffusing capacity of a detailed scale will be obtained. The flow of a current was enabled between the fields where the wafer by which pattern formation was carried out was joined, and the GaP-GaP junction with the low electric resistance for unipolar junction [ which ] of n-form or p-form was also attained using the technique mentioned later so that the flow of the current in the cavity which is not joined to coincidence might be prevented.

[0053] Application drawing 15 through which it actually passes shows the well-known equipment for attaining wafer junction of the wafer 80 of a pair. The wafer of a pair has met the 1st graphite member 84. The area of the field 82 with a slot in the 1st graphite member is 0.5 inch x 0.8 inch. The 2nd graphite member 86 equips with the hole 88 the location which receives the alignment pin 90 which protruded from the 1st graphite member. In order to change the thickness of the wafer 80 of a pair each other joined by run-two-run, graphite SIMM (not shown) can be arranged in the fluting field 82.

[0054] After joining the 2nd graphite members 84 and 86 to the 1st using an alignment pin 90, an assembly is inserted into the \*\*\*\*\* quartz tube 92, and this quartz tube is inserted in an open pipe form heat furnace next. Temperature rises up to 850 to 1000 degree C in H<sub>2</sub> ambient atmosphere of the 1.0l. rate of flow for /. A temperature period is a period made to incline toward desired temperature, after that, does not have 5 seconds and is \*\*\*\*\* (ed) for 1 hour. Next, a cooling period continues.

[0055] The wafer 80 of a pair is compressed during heating. Compressive force is produced according to the difference of the coefficient of thermal expansion ( $5.5 \times 10^{-7}$ /degree C) of a quartz tube 92, and the 1st and the coefficient of thermal expansion ( $8.4 \times 10^{-6}$ /degree C) of the 2nd graphite members 84 and 86. Furthermore, since the coefficient of thermal expansion (it is  $5.8 \times 10^{-6}$ /degree C in GaP) of a wafer 80 is considerable, compressive force is promoted further. At the temperature which rose, an III-V semiconductor wafer becomes plasticity a little. Consequently, if a wafer front face is compressed, it will contribute to adapting oneself mutually and the nonuniformity on the front face of a wafer being amended.

[0056] Before loading in the wafer bonding equipment of drawing 15, a wafer 80 must be made into clarification and must remove dirt and an oxide from a wafer front face. Generally an organic contamination is removed by the cleaning technique. When ingredients are InX Ga<sub>1-x</sub>P and GaP, oxide is typically removed by being etched by NH<sub>4</sub>OH. After etching, in order to remove residual NH<sub>4</sub>OH from a wafer, a wafer is immediately placed into a methanol. While a sample is in a methanol, it changes the front face joined into the contact condition.

[0057] Next, a methanol is removed from the wafer 80 which touches. A methanol evaporates promptly and a wafer 80 is stopped by the Juan Dell Wace force at an integrated state. However, generally sufficient mechanical strength is not in junction by Juan Dell Wace, and sufficient conductivity to be used by manufacture of the above LED equipments generally is not acquired. Therefore, still more nearly another solid-state junction is required. Then, the wafer bonding equipment of drawing 15 is used.

[0058] In the following experiment, the wafer consists in the direction of substrate [(100)+(110) of GaP:S (n- $5 \times 10^{17}$ cm<sup>-3</sup>) of 10 degree] and GaP:Zn (created from the vapor phase epitaxy GaP with a thickness of 2 mils made to grow on GaAs) (p- $2 \times 10^{18}$ cm<sup>-3</sup>) "a false substrate" in the direction of 2 degrees or (100) + (110). The layer which consists of LED of In<sub>0.5</sub>(Al<sub>x</sub>Ga<sub>1-x</sub>)<sub>0.5</sub>P duplex variant structure grown up on GaAs by 1-micrometer In<sub>0.5</sub>Ga<sub>0.5</sub>P:Te (n- $1 \times 10^{18}$ cm<sup>-3</sup>) grown up by metal organic chemistry vacuum evaporatioon (MOCVD) on GaAs:Te (n- $5 \times 10^{17}$ cm<sup>-3</sup>) and MOCVD was also used. The GaAs substrate was (100)+2 degree orientation in the direction of (110). Generally the heat damage on the front face of exposure is removed by etching in HCL:HN03:H<sub>2</sub>O (1:1:1) after solid-state wafer bonding. Next, a wafer is metalized by AuGe for n-form contacts, and/or an alloy is metalized and carried out by AuZn to p form contacts, and it is cut to a chip.

[0059] It became clear that the important point which should be taken into consideration when performing the above-mentioned process so that a desired electric resistance property may be attained in the interface of the wafer 80 of two wafer bonding layers was processing of the front face of the wafer before contact. As mentioned above, surface treatment of the wafer is etched and carried out to a suitable process by NH<sub>4</sub>OH, and the process at which a wafer 80 contacts mutually and joins a front face during immersion among methanol solution is included after that. The wafer joined after the processing included in these two processes etches by HF:deionized water (1:10), and then it rinses by deionized water, and is N<sub>2</sub>. It was compared with the wafer joined after dried another down stream processing. The wafers to which the case of both sides was joined were an n-form GaP substrate and a thing which consists of n(on GaAs:Te)-form In<sub>0.5</sub>Ga<sub>0.5</sub>P. After another surface-preparation process, the wafer was loaded into the wafer bonding equipment of drawing 15. The wafer was similarly heat-treated at 1000 degrees C for 1 hour. In the case of the wafer processed with the NH<sub>4</sub>OH-methanol, resistance junction of clear comparatively low resistance was shown by the current-voltage characteristic. HF: The wafer processed by etching by deionized water presented the non-resistive characteristic as if the "obstruction" was formed in the interface of the joined wafer. Such a non-resistive characteristic is not permitted by the application through which a current should generally flow to another substrate by which wafer junction was carried out from one substrate by which wafer junction was carried out.

[0060] It is thought that the surface treatment by the NH<sub>4</sub>OH-methanol is suitable processing which now attains a desired electric resistive characteristic when joining the n-form InGaP to the n-form GaP. It etches by NH<sub>4</sub>OH, rinses with a methanol, and is N<sub>2</sub> before contact. A non-resistive characteristic arises in another surface treatment which is dried. However, in order to join n(on n-form GaAs:Te)-form In<sub>0.5</sub>Ga<sub>0.5</sub>P to n-form In<sub>0.5</sub>Ga<sub>0.5</sub>P (on GaAs:Te), when the same processing was performed, the desired resistance coupling property arose. Although this surface treatment of this difference is enough for In<sub>0.5</sub>Ga<sub>0.5</sub>P, it will be because all oxides are unremovable from GaP. In the case of In component, it is mentioned as another explanation considered as a cause of this difference that the junction property improved.

[0061] (a) The comparison with the wafer by which solid state welding was been [ nothing ] and carried out from In<sub>0.5</sub>Ga<sub>0.5</sub>P of n-form joined to In<sub>0.5</sub>Ga<sub>0.5</sub>P of n-form, and the wafer which consists of In<sub>0.5</sub>Ga<sub>0.5</sub>P of n-form joined to GaP of a (b) n-form and by which solid-state junction was carried out was made. Wafer association which has the electric resistive characteristic of a request of the wafer of both groups was obtained. However, junction of In<sub>0.5</sub>Ga<sub>0.5</sub>P/In<sub>0.5</sub>Ga<sub>0.5</sub>P of n-form of the (a) unipolar presented remarkable low resistance in the interface as compared with In<sub>0.5</sub>Ga<sub>0.5</sub>P/GaP junction of unipolar n-form of the (b) unipolar. In (a), resistance was about 1.5 ohms, and, on the other hand, in (b), resistance was about 5 ohms. (20x20-mil dice) Or as compared with junction of In<sub>0.5</sub>Ga<sub>0.5</sub>P/GaP attained at 1000 degrees C, at low temperature, the junction whose resistance is lower In<sub>0.5</sub>Ga<sub>0.5</sub>P/In<sub>0.5</sub>Ga<sub>0.5</sub>P can cover the whole wafer field, and can be formed from that [ about 975-degree C ].

[0062] The result of an experiment shows that In component is desirable to the solid-state wafer bonding used by manufacture of LED. As one explanation possible as the reason, it is mentioned between the junction processes of a semiconductor wafer that an ingredient



can change [ an ingredient ] according to shearing stress, evaporation-coagulation, and mass transfer. The enhancement of junction accepted in In component has the high surface mobility of In atom as compared with Ga atom, or is desirable as a result in which the mass transfer property of  $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$  is excellent as compared with GaP. Furthermore, it is known for  $\text{AlGaAs-GaAs-InGaAs}$  structure that whenever [ diffusion ] is comparatively high. Similarly, into a solid phase wafer bonding process, the alloy of the In can be carried out to diffusion or GaP, and it can form an  $\text{In}_x\text{Ga}_{1-x}\text{P}$  ( $x < 0.5$ ) alloy around the joined interface.

[0063] In addition to In component, the surface mobility of the same property, i.e., an atom, can also use a high thing and/or another III-V which has the property of improvement in a mass transfer property, or an II-VI component in favor of solid-state wafer bondings. Therefore, Hg content, Cd content, and Zn components are the main candidates in such an application.

[0064] Another, important parameters which form the solid-state wafer junction equipped with the desired electric resistive characteristic are the temperature distribution in the case of heat-treating a wafer 80 within the equipment of drawing 15. Drawing 16 shows two different temperature distributions. The "quick" inclination (ramp) to 1000 degrees C is shown by upside temperature distribution, and, on the other hand, as for lower temperature distribution, the inclination of the "slow speed" to 1000 degrees C is shown. After inclining to 1000 degrees C in any case, heat treatment of 1 hour is performed. The same temperature distribution for cooling are shown.

[0065] By the inclination of lower "slow speed", it is general more low temperature, and the resistance coupling covering a substantial more large area arises. This phenomenon is produced by the junction front face which is not compressed during some periods of elevated-temperature \*\*\*\*. In advance of wafer bonding, a certain amount of surface decomposition or oxide balking by heat will be attained by it. Furthermore, probably, effective heat treatment according [ such a difference ] to the inclination of "slow speed" originates in a \*\*\*\*\*. However, this operation is accepted only in junction of the wafer of n-form and n-form. Such a dependency was not accepted by junction of the wafer of p-form and p-form. [0066] It is clear for the resistance junction between [ of p-form ] wafers to be easier than the wafer of n-form to some extent. It is p-GaP and p-GaP, and wafer bonding of n-GaP and n-GaP was performed. As for junction, the case of both sides was performed at 1000 degrees C for 1 hour. The resistance junction covering all the fields of a sample produced junction of the both sides of n-form and p-form. However, in the case of a 12x12-mil chip, a bond resistance is GaP/GaP. From the case (about 5 ohms) of n-form unipolar wafer junction, it is GaP/GaP. The direction in p-form unipolar wafer junction (less than 0.9 ohms) was sharply low. As compared with n-form DOPANTO, the resistance junction between P-form samples will be easy to be formed according to the diffusion coefficient of p-form DOPANTO being high.

[0067] Absorptivity GaAs structure is removed and it is  $\text{In}_{0.5}\text{Ga}_{0.5}(\text{Al}_x\text{Ga}_{1-x})\text{P}$  about a translucency GaP substrate. By carrying out solid-state wafer junction, the remarkable improvement in the beam-of-light output of twice [ about ] was attained by LED as compared with the LED substrate with same having left the original absorptivity GaAs growth substrate.

[0068] With this equipment, although the wafer bonding equipment of drawing 15 attains the result of a request, though regrettable, it cannot be concerned with temperature and cannot apply compressive force that there is nothing. That is, since this equipment produces compressive force as a result of the thermal expansion of an ingredient, a pressure and temperature are separately uncontrollable. Consequently, the fission reactor of drawing 17 and drawing 18 was developed. Drawing 17 shows the plan of a fission reactor 94. The fission reactor is equipped with two graphite members 96 and 98 for compressing the wafer of a pair. The alignment pin 100 of one graphite member 96 is received in the notch of another graphite member 98.

[0069] The graphite members 96 and 98 are arranged in the heat furnace tube 102. The back graphite member 96 is in a fixed position to the heating furnace tubing 102 by receiving a shaft 106 in the arc opening 108 of a graphite member. The front graphite member 98 is movable in the heating furnace tubing 102. The pneumatic pressure piston is attached in the shaft 104 received in the opening 112 of the graphite member 98. If it pulls, in order to apply good transformation to the wafer of the pair in the location of 110, the pneumatic control of the pneumatic pressure piston is carried out to the graphite member.

[0070] Reference of drawing 18 shows the condition that the wafers 112 and 114 of a pair are separated at first. Drawing 19 shows this and a contrast target the 1st which two wafers 120 touch from the beginning, and the 2nd graphite members 116 and 118. The example of drawing 19 is examined and it is shown that preliminary data can continue and carry out solid-state wafer bonding to the whole interface. Distribution of the impressed pressure as a function of temperature is important when making the crack and breakage of a wafer 120 into the minimum. It may originate in crack initiation applying high pressure at the temperature which is not flexible.

[0071] Probably, the example of drawing 18 which can separate wafers 112 and 114 first will be suitable, since it can carry out heat balking of the oxide from a wafer front face before joining a wafer. Or it is sometimes desirable to decompose the front face which should be joined to some extent. The example of drawing 18 promotes such junction conditions.

[0072] It may prevent seceding from a wafer front face to a participating object separately, and covering a front face with As cap or P cap as another possibility, and oxidizing more than it. The wafer equipped with the cap will be arranged between graphite members after that. Since a cap separates the front face of a wafer itself effectively, it is not important whether the wafer equipped with the cap touches physically. Next, the wafer equipped with the cap is heated by the temperature exceeding 500 degrees C, the cap of a wafer is removed, and the front face which does not contain an oxide in junction is left behind. Next, a wafer is pressed, it is contacted and temperature rises to solid-state wafer bondings.

[0073] Furthermore, the gas of a doping agent can be circulated through the heat furnace 102 of drawing 17 during junction, and the carrier concentration in the interface joined can be raised.  $\text{H}_2\text{Se}$ ,  $\text{H}_2\text{S}$ ,  $\text{DETe}$ , and  $\text{DMZn}$  will be contained in suitable DOPANTO gas. It is important especially for n-form association expected for this to be more difficult than p-form junction.

[0074] Formation of resistance solid-state wafer bonding is possible at low temperature rather than required of the equipment of drawing 18 by the fission reactor 94 of drawing 17. Mixing of the layers of an epitaxial LED layer will be inhibited to the minimum by that temperature is low. A more important point is that migration of the p-n junction section within the layer of equipment is inhibited to the minimum by that temperature is low.

[0075] There are mechanical and joining [ of a wafer ] a dogged semiconductor wafer to the semi-conductor layer which lacks in stability in order to improve thermodynamic stability in still more nearly another application of the wafer bonding for the example of LED. One specific example is III-V or II-IV more generally than an IV-IV semi-conductor expected for stability to be missing about the both sides of machine stress and thermal stress. It is the example of an LED structural steel worker. Consequently, it is desirable to carry out solid-state wafer association of mechanical III-V semi-conductor dogged in an II-V layer in order to improve the both sides or one side of thermodynamic stability or SiC substrate of LED equipment.

[0076] As mentioned above, although each example of this invention was explained in full detail, in order to make an understanding of this invention easy here, it summarizes about the embodiment of each example of this invention, and enumerates below.

1st Ingredient Which Has Property with Manufacture and Adaptability of Light Emitting Diode Layer (32, 34, 36, and 38) Which Has Desired Mechanical Characteristic is Chosen.; Selection 1. By Forming 1st Substrate (30) Which Consists of 1st Ingredient Carried Out, and Manufacturing Light Emitting Diode Layer on; 1st Substrate It is the manufacture approach of the light emitting diode which

consists of a; process which chooses the translucency ingredient which forms a light emitting diode substrate (40) and fits improvement in the engine performance of; light emitting diode structure, and carries out wafer bonding of the clear layer (42) of; and the selected translucency ingredient to a light emitting diode layer.

[0077] 2. The process which manufactures a light emitting diode layer is a process to which epitaxial growth of two or more light emitting diode layers (32, 34, 36, and 38) is carried out on the 1st substrate (30), and is the manufacture approach of light emitting diode given in said 1 which chooses as the 1st ingredient an ingredient which obtains a grid with two or more epitaxial growth and adaptability of a layer.

[0078] 3. It is the manufacture approach of light emitting diode given in said 1 which includes further the process which removes the 1st substrate (30), or said 2.

[0079] 4. The process which removes the 1st substrate (30) is a process performed in advance of the wafer bonding of a clear layer (42), and this wafer bonding is the manufacture approach of a light emitting diode given in said 3 which is the process which carries out wafer bonding of the translucency substrate to the side face of the light emitting diode structure (40) where the 1st substrate is removed from there.

[0080] 5. The process which carries out wafer bonding of the clear layer (42) to light emitting diode structure (40) is the manufacture approach of a light emitting diode given in said 1 which is the process performed at the temperature which rose including raising temperature in order to soften the layer (32 and 42) by which wafer bonding is carried out in order that resistance might obtain low electrical installation.

[0081] 6. The process which carries out wafer bonding is the manufacture approach of light emitting diode given in said 5 which is a process including applying a pressure to a layer (32 and 42), in order to attain the adjustment of the layer by which wafer bonding is carried out.

[0082] 7. It is the manufacture approach of light emitting diode given in said 1 which is the process as which at least one side of the process which manufactures a light emitting diode layer (32, 34, 36, and 38), and the process which chooses a translucency ingredient chooses one of In component, Cd component, and the Zn components in the interface of the layer (32 and 42) by which wafer bonding is carried out.

[0083] 8. Form a Temporary Growth Substrate (30) for Grid Which Has Epitaxial Growth and Adaptability in Light Emitting Diode Layer (32, 34, 36, and 38), and Carry Out Epitaxial Growth of the Laminating of Light Emitting Diode Layer on a; Temporary Growth Substrate (30). A laminating has the 2nd side face (32) which has the 1st side face (38) and was combined with a temporary growth substrate (30). A temporary growth substrate (30) forms a temporary support front face by it, and; and a temporary support front face are replaced with the permanent substrate (42 and 48) which has at least one side of conductivity higher than a growth substrate and translucency. It includes that replacing carries out wafer bonding of the permanent substrate at one side of the 1st and the 2nd side face of a light emitting diode layer. The manufacture approach of the light emitting diode which consists of a; process which temperature is raised in the interface of a permanent substrate and a light emitting diode layer, and attains a low ohms connection among both sides carries out wafer bonding.

[0084] 9. The replacement process of a temporary support front face is the manufacture approach of light emitting diode given in said 8 including the process which removes a growth substrate (30), after carrying out wafer bonding of the permanent substrate (48) to the 1st side face (38) of a light emitting diode layer (32, 34, 36, and 38).

[0085] 10. The replacement process of a temporary support front face is the manufacture approach of light emitting diode given in said 8 including the process which removes a growth substrate (30), before carrying out wafer bonding of the permanent substrate (48) to the 1st side face (38) of a light emitting diode layer (32, 34, 36, and 38).

[0086] 11. Carry out wafer bonding of the 2nd conductivity and the translucency substrate (48) on a light emitting diode layer (32, 34, 36, and 38), and it is conductivity and translucency and a permanent substrate is the manufacture approach of light emitting diode given in said 8 which includes further the process which fastens a light emitting diode layer between translucency substrates (42 and 48) by it, said 9, or said 10.

[0087] 12. In order to raise the concentration of the carrier in the interface of wafer junction, it is the manufacture approach of light emitting diode given in said 8 which includes further the process which flows doping gas during the wafer bonding of a permanent substrate (42 and 48).

[0088] 13. Include Further Process Which Equips at Least One Side of Permanent Substrate (42) and Light Emitting Diode Layer (32, 34, 36, and 38) with Cap Ingredient in order to Prevent Oxidation before Process Which Transposes a Temporary Growth Substrate (30) to Permanent Substrate (42 and 48). In order to carry out wafer bonding of the permanent substrate to a light emitting diode layer furthermore and to remove a cap ingredient at least from one side of a permanent substrate and a light emitting diode layer, it is the manufacture approach of a light emitting diode given in said 8 including the process which applies heat.

[0089] 14. In Order to Form 1st Light Emitting Diode Structure (40), Grow Up 1st Light Emitting Diode Layer (34, 36, and 38) Epitaxial. ; In order to form the 2nd light emitting diode structure (64) The 2nd light emitting diode layer (66, 68, and 70) It is the approach of carrying out the laminating of the light emitting diode which consists of a; process which is grown up epitaxial, carries out the laminating of the; 1st light emitting diode structure on the 2nd light emitting diode structure, and carries out wafer bonding of; and the 1st light emitting diode structure to the 2nd light emitting diode structure.

[0090] 15. Said 1st light emitting diode layer (34, 36, and 38) is the approach of carrying out the laminating of the light emitting diode of a publication to said 14 including the process which grows on a temporary growth substrate (30) and removes a temporary growth substrate further.

[0091] 16. A wafer bonding process is the approach of carrying out the laminating of the light emitting diode of a publication to said 14 including the process which carries out alignment of the 1st and 2nd light emitting diode structure (40 and 64) so that said 1st and 2nd light emitting diode structure may have the same polarity.

[0092] 17. Forming the tunnel junction section (72) between the 1st and 2nd light emitting diode structures (40 and 64), the tunnel junction section is the approach of carrying out the laminating of the light emitting diode of a publication to said 14 which includes further the process which has a polarity with opposite the 1st and 2nd light emitting diode structure.

[0093] 18. So that at Least One Side of Optical Property and Electrical Characteristics May Change Alternatively along Interface of 1st and 2nd Layers (130) The 1st front face of the 1st layer (126) It is the approach of forming the light emitting diode which has the 1st which was joined by the interface which consists of a; process which carries out patterning and carries out wafer bonding of the 1st front face of; and the 1st layer to the 2nd layer, and adjoined, and two or more layers containing the 2nd layer (126 and 130).

[0094] 19. In order to specify a desired current path in the light emitting diode layer which was made to carry out epitaxial growth of the light emitting diode layer (130, 132, and 134), and grew epitaxial, it is the approach of forming the light emitting diode of a publication in said 18 which includes further the process which chooses a pattern.

[0095] 20. the process which carries out patterning of the 1st front face of the 1st layer (126) — the 1st front face — meeting — becoming depressed (140) — in order to form, it is the approach of forming the light emitting diode of a publication in said 18 including the process which removes an ingredient from the 1st layer.

[0096] 21. in order to impress an electrical potential difference — becoming depressed (140) — carry out alignment, form an electrode (142) and the 2nd layer (130) of an electrode is the approach of forming the light emitting diode of a publication in said 18 including the process arranged in the opposite side.

[0097] 22. The 1st layer (126) is the approach of forming the light emitting diode of a publication in said 18 chosen from an ingredient which forms a current diffusion window layer.

[0098] 23. It is the approach of forming the light emitting diode of a publication in said 18 including the process which chooses a pattern which forms the light reflex pattern for beams of light by which the 1st front face (138) is generated according to light emitting diode structure (128).

[0099] 24. 1st Substrate (30) — Preparing —; — it is the Manufacture Approach of Light Emitting Diode Which Consists of a; Process Which Improves Stability of II-VI Semi-conductor Structure by Preparing II-VI Light Emitting Diode Structure (40) in 1st Substrate, and Carrying Out Wafer Bonding of One of; and III-V Semi-conductor Substrate, and the SiC Substrates (48) to II-VI Semi-conductor Structure

[0100]

[Effect of the Invention] As mentioned above, according to this invention, the 1st substrate is formed with the ingredient which has adaptation in manufacture of the LED layer which has a desired mechanical property. Since an LED layer is formed on this 1st substrate, LED structure is formed and it was made to carry out wafer BONDING of the clear layer by the translucency ingredient at an LED layer While being able to manufacture LED which has a desired mechanical property and translucency in large quantities in a short time, without the 1st substrate taking epitaxial growth, the resistivity of the interface of a clear layer and a growth phase can be made into the minimum.

---

[Translation done.]

## \* NOTICES \*

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## DESCRIPTION OF DRAWINGS

## [Brief Description of the Drawings]

- [Drawing 1] It is the side elevation of the duplex heterojunction LED equipment which has a temporary growth substrate by this invention.
- [Drawing 2] It is the side elevation of LED structure from which a temporary growth substrate of drawing 1 was removed.
- [Drawing 3] It is the side elevation of the LED structure of drawing 2 which has the permanent substrate attached using the wafer bonding technique.
- [Drawing 4] It is the side elevation of the structure of drawing 3 which has an electrode in an opposite side.
- [Drawing 5] It is the side elevation of another LED structure manufactured by wafer bonding.
- [Drawing 6] It is the side elevation of the 3rd example which attached the wafer junction substrate in the equipment of drawing 1.
- [Drawing 7] It is the side elevation of another example which attached the wafer junction substrate in the LED structure of drawing 2.
- [Drawing 8] It is the side elevation of the LED structure of drawing 2 attached in the mirror with the wafer bonding technique.
- [Drawing 9] It is the side elevation of the LED equipment by which the laminating was carried out.
- [Drawing 10] It is the side elevation of the LED equipment using the pattern formation layer by which wafer junction was carried out.
- [Drawing 11] It is the side elevation of the LED equipment using the pattern formation layer by which wafer junction was carried out.
- [Drawing 12] It is the side elevation of the LED equipment using the pattern formation layer by which wafer junction was carried out.
- [Drawing 13] It is the side elevation of the LED equipment using the pattern formation layer by which wafer junction was carried out.
- [Drawing 14] It is the side elevation of the LED equipment using the pattern formation layer by which wafer junction was carried out.
- [Drawing 15] It is the exploded view of the wafer bonding equipment for performing the process of this invention.
- [Drawing 16] It is a temperature-distribution graph at the time of operating the wafer bonding equipment of drawing 15.
- [Drawing 17] It is the schematic diagram of another equipment for performing the process of this invention.
- [Drawing 18] It is the decomposition perspective view showing the example of the graphite member for using it with the equipment of drawing 17.
- [Drawing 19] It is the decomposition perspective view showing another example of the graphite member for using it with the equipment of drawing 17.
- [Drawing 20] It is the side elevation of the single heterojunction LED equipment which has the conventional absorptivity substrate.
- [Drawing 21] It is the side elevation of the duplex heterojunction LED equipment which has the conventional absorptivity substrate.
- [Drawing 22] It is the side elevation of the duplex heterojunction LED equipment which has the conventional translucency substrate.
- [Description of Notations]
- 30 Growth Substrate
  - 32, 34, 36, 38,156A, 174,178 Light emitting diode layer
  - 40 64,128,144A Light emitting diode structure
  - 42 78 Conductivity, translucency substrate
  - 44,142,144,154,156 Electrode
  - 46 2nd Electrode
  - 48,182 The 2nd substrate
  - 50,152 Wafer bonding layer
  - 56 58 Contact metalization field
  - 60 Mirror
  - 62,136,146,180 Substrate
  - 68,132 Active layer
  - 72 Tunnel Junction Layer
  - 74 Up Electrode
  - 76 Lower Electrode
  - 80,110,112,114,120 Wafer
  - 84,116 The 1st graphite member
  - 86,118 The 2nd graphite member
  - 92 Quartz Tube
  - 94 Fission Reactor
  - 96 98 Graphite member
  - 102 Heating Furnace Tubing
  - 126 Semiconductor Wafer
  - 134 Lower Seal Layer
  - 138 Lower Front Face
  - 140,148,150 Hollow
  - 158 Upper Layer
  - 160 Lower Layer
  - 162,164 External layer
  - 166,168,170,172 Electrode

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-302857

(43) 公開日 平成6年(1994)10月28日

(51) Int.Cl.<sup>5</sup>

H 0 1 L 33/00

識別記号

庁内整理番号

F I

技術表示箇所

A 7376-4M

N 7376-4M

審査請求 未請求 発明の数 1 F D (全 17 頁)

(21) 出願番号 特願平6-64528

(22) 出願日 平成6年(1994)3月8日

(31) 優先権主張番号 0 3 6, 5 3 2

(32) 優先日 1993年3月19日

(33) 優先権主張国 米国 (U S)

(71) 出願人 590000400

ヒューレット・パッカード・カンパニー

アメリカ合衆国カリフォルニア州パロアル

ト ハノーバー・ストリート 3000

(72) 発明者 フレッド・エイ・キッシュ

アメリカ合衆国カリフォルニア州サンノゼ

レイク・ショアー・サークル 1372

(72) 発明者 フランク・エム・ステランカ

アメリカ合衆国カリフォルニア州サンノゼ

オーグラディー・ドライブ 7086

(74) 代理人 弁理士 遠藤 恭

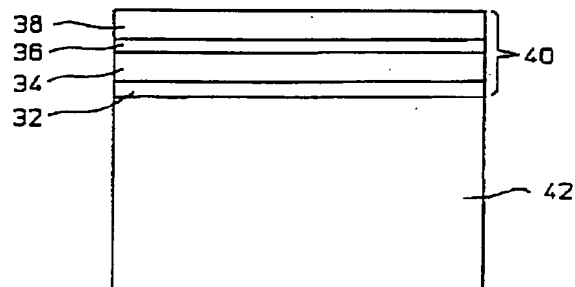
最終頁に続く

(54) 【発明の名称】 発光ダイオードの製造方法

(57) 【要約】

【目的】 所望の機械的特性と透光性を有する発光ダイオードを製造することができ、かつ透明層と成長層との境界面の抵抗率を最小限にすることができる発光ダイオードの製造方法を提供することを目的とする。

【構成】 一時的成長基板上に発光ダイオード層 3 2, 3 4, 3 6, 3 8 を順次成長させ、比較的薄い層の発光ダイオード構造 4 0 を形成後、一時的成長基板を除去し、一時的成長基板に代えてその位置に下層の緩衝層となる発光ダイオード層 3 2 に導電性、透光性基板 4 2 をウェーハ接合して発光ダイオードを製造する。



## 【特許請求の範囲】

【請求項1】 所望の機械特性を有する発光ダイオード層(32, 34, 36及び38)の製造と適応性がある特性を有する第1材料を選択し;選択された第1材料から成る第1基板(30)を設け;第1基板上に発光ダイオード層を製造することによって発光ダイオード基板(40)を形成し;発光ダイオード構造の性能の向上に適する透光性材料を選択し;および選択された透光性材料の透明層(42)を発光ダイオード層にウェーハ・ボンディングする;工程とからなる発光ダイオードの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、一般に発光ダイオードに関し、特に発光ダイオードの製造方法に関する。

## 【0002】

【従来の技術】 発光ダイオード(以下、LEDという)は広範な用途に利用されている。例えば、光データ伝送では、LEDは光ファイバ・ケーブルに沿ってデータ信号を伝送するために利用されている。

【0003】 レーザーとは異なり、LEDは良好に集束された光ビームを生成しない。対照的にLEDは全方向に光線を放射する。すなわち、発光は等方性である。多くの従来形のLEDの層はLEDの能動領域の放射エネルギーよりもエネルギー・ギャップが少ない光吸収性の基板上で成長される。基板は能動領域内で生成された光線の一部を吸収するので、素子の効率が低下する。従来の単一異質結合形の砒化アルミニウム・ガリウム(以下、AlGaAsという)LEDを図20に示してある。pドーピングされたAlGaAsのエピタキシャル層10と、nドーピングされたAlGaAsのエピタキシャル層12とがpドーピングされた砒化ガリウム(以下、GaAsという)吸収性基板14の表面上で成長される。エピタキシャル層10と12の接合部を通る電流の導通によって光線が生成される。しかし、吸収性基板14のエネルギー・ギャップが放射エネルギーよりも小さいので、吸収性基板14の方向に下方に放射され、又は内部反射される光線は吸収される。

【0004】 図21は吸収性の基板16上に二重異質接合形のAlGaAs LEDである。nドーピングされたAlGaAsのエピタキシャル層18と、nドーピングされたAlGaAsの層20及び22とが吸収性の基板16上で成長される。エピタキシャル層18-22のバンド・ギャップは能動層となるエピタキシャル層20内で光線が生成され、且つ吸収されることなくエピタキシャル層18及び22を通過して進行するように選択される。しかし、光線の吸収は吸収性基板16では生じない。

【0005】 LEDの能動領域の放射エネルギーよりも大きいエネルギー・ギャップを有する透明な基板を使用する

ことによって性能の向上を達成できる。透光性基板の効果は下方に放射される、又は下方に向かう光線の吸収を防止することにある。光線は吸収されずに、透光性基板を透過し、底部の金属粘着物及び反射性キャップから反射される。反射光線はその後、チップの頂部又はエッジから放射され、その結果、LEDの効率が大幅に高まる。

【0006】 透光性基板を有するLEDには幾つかの製造技術がある。第1の技術は透光性基板上でp-n接合をエピタキシャル成長させることである。しかし、この技術の問題点はLEDエピタキシャル層の格子定数によっては許容できる格子整合の達成が困難である点である。第2の技術は後に除去される吸収性基板上でLEDエピタキシャル層を成長させることである。例えば、図3ではnドーピングされた透光性基板24と、pドーピングされたエピタキシャル層26及び28を吸収性基板(図示せず)上でエピタキシャル成長させることができる。透光性「基板」24は格子整合性の吸収性の基板上で75μm以上の厚い、透光性且つ導電性のエピタキシャル層を成長させることによって製造される。次に別の層であるエピタキシャル層26と28がエピタキシャルの透光性「基板」24上で成長され、吸収性基板は除去される。あるいは、より厚い透光性「基板」24よりも先により薄いエピタキシャル層26及び28を成長させてもよい。

## 【0007】

【発明が解決しようとする課題】 透光性基板を有するLEDの上記の製造技術には生来の欠点がある。第1に、「厚い」、透光性且つ導電性「基板」をエピタキシャル成長させることは、一定の半導体材料用にある種の成長技術を利用する場合、実際的ではないか、又は不可能でさえある。第2に、それが可能な場合でも、「厚い」エピタキシャル層は長い成長時間を要し、このようなLEDの製造量が限定される。第3に、吸収性基板を除去した後生ずるLED層は例えば約3-6ミルと比較的薄い。薄いウェーハは破損せずに取り扱うことが難しく、製造が一層困難になる。更に、ウェーハが薄いことによって、ウェーハをLEDパッケージ内に装着する際に困難が生ずる。ウェーハを実装し、素子の底部に接触させるために代表的には銀を装填したエポキシが使用されることがあり、それによってダイオード(LED)が短絡する原因になる。更に、薄いウェーハは少なくとも10ミルの「厚い」基板上で成長される図20及び図21の装置ほどには機械的に頑強ではない。このような「薄い」LEDはエポキシ・ランプに装着する際に装置が故障する確率が大きくなる。このように、この第2の技術を採用した場合は透明層は実際の結晶成長プロセスのためには「厚すぎ」、装置の利用に介しては「薄すぎる」ので、矛盾する厚さの問題がある。

【0008】その結果、吸収性基板と、透光性基板の選択に関しては妥協が介在する。成長技術及び製造技術によって、吸収性基板を有するLEDは透光性基板のLEDよりも優れた機械特性を備えることができるが、吸収性基板は一般に効率が悪い。透光性基板を使用すれば効率を高めることができる。しかし、エピタキシャル層が異なる格子定数を有する透光性基板上で成長される場合は、格子の不整合によって困難が生ずることがある。更に、「厚い」透光性「基板」がエピタキシャル成長される場合は矛盾する厚さの問題に遭遇することがある。

【0009】吸収性層又は透光性層の影響は標準型のエピタキシャル層と吸収性層との間にブラッグ・リフレクタ(Brag reflector)層を成長させることによって最小限に抑制できる。ブラッグ・リフレクタは吸収性層の方向に放射又は内部反射された光線を反射するので、効率の向上は達成される。しかし、ブラッグ・リフレクタは直角に近い入射光線だけを反射するので、向上は透光性基板を使用した技術と比較して限定される。大きく直角とは異なる入射光線は反射せず、基板へと通過し、そこで吸収される。更に、ブラッグ・リフレクタを有するLEDは、代表的には厚さが100オングストロームの多くの薄いエピタキシャル層を繰り返し成長させることが必要であるので、製造が一層困難である。

【0010】本発明の目的は少なくとも8ミルの「厚い」基板の所望の機械的特性と、透光性基板のLEDの光学特性とを有するLEDの形成方法を提案することにある。

【0011】

【課題を解決するための手段】上記の目的は、LED層の成長のために最適な一時的成長基板を使用するが、この基板のエピタキシャル成長を必要とせずに性能が向上された基板が得られる方法によって達成された。好適な実施例では、性能向上基板はウェーハ・ボンディング技術を使用してLED層に接合される透明部材である。透明層はLED層のエピタキシャル成長が終了するまではLED層に接合されないの、透光性基板とエピタキシャル層との格子整合は問題ではない。

【0012】一時的成長基板は所望の機械特性を有するLED層の製造と適応性がある材料から成っている。例えば、高品質の結晶成長を達成し、格子の整合性を最適化するために、標準型の吸収性基板材料を使用できる。次に液相エピタキシ、気相エピタキシ、金属有機化学蒸着及び／又は分子ビーム・エピタキシを含む一つ、又は複数の多様な方法を利用してLED層が成長される。LED構造を生成するLED層は発光能動層と、上下の密封層と、電流拡散及び光線放出層と、単数又は複数の緩衝層とから成るものでよいが、これに限定されるものではない。

【0013】LED構造の成長に続いて、吸収性の一時的成長基板は高品質のエピタキシャル層を形成できると

いう目的を完了する。成長基板は除去することが好ましいが、それは吸収性成長基板はLED構造の放射エネルギーより小さいが、それと等しいエネルギー・ギャップを有しているからである。エネルギー・ギャップと装置の放射エネルギーとの間のような関係は装置の効率を著しく限定する。一時的成長基板を除去する方法は限定的なものではなく、別な方法には化学エッチング、ラップ研磨／研磨、反応性イオン・エッチング及びイオン摩砕が含まれる。成長基板の除去には更に、吸収性の基板と接触する層の一部又は全部を除去することも含まれる。

【0014】次に第2基板がLED構造にウェーハ・ボンディングされる。好適な実施例では、第2のウェーハが導電性であり、透光性である。吸収性基板と対照的に、透光性基板は性能向上層である。ウェーハ・ボンディングはLED構造の最上又は最下層で行うことができる。従来は、LED装置は素子のp-n接合に適宜にバイアスを加えるために対向端に電極を備えているので、透光性基板と成長層との境界面の抵抗率を最小限にすることが重要である。所望の抵抗特性の達成を促進するためにインジウムを含む成分を使用することが提案されている。In含有成分の他に、表面移動度が高く、拡散性が高く、及び／又は物質移動特性が優れたその他の成分(例えばHg含有、Cd含有およびZn含有成分)を固体ウェーハ・ボンディングの用途で使用すれば有利である。

【0015】

【作用】前述の方法を採用する際の関心事の一つは、一時的成長基板の除去の後には、残りのLED構造が例えば10 $\mu$ m未満と極度に薄く、従って壊れやすく、処理し難いことである。第2の実施例では、一時的成長基板は第2の基板をLED構造の最上層に取り付けた後で初めて除去される。第2基板をエピタキシャル成長させるのではなくウェーハ・ボンディングすることによって例えば8ミル又はそれ以上の厚い基板を取り付けることが可能になる。この第2基板は透明なものでよく、光学的な放出及び電流拡散のための性能向上層として役立ち、及び／又は成長基板を除去し、成長基板がそこから除去されるLED構造の側面で透光性基板の第2のウェーハ・ボンディングを実行する工程の間、機械的な安定性を向上させるための手段としてだけ役立つ。機械的な安定性だけが必要である場合は、この第2の基板を第2のウェーハ・ボンディング工程を実施した後に引き続いて除去してもよい。

【0016】ウェーハ・ボンディング技術を採用する最も明らかな用途は光吸収性基板が除去され、透光性基板と置き換えられる用途であるが、これに限定されるものではない。一時的成長基板は電流拡散能力を制限する導電性が低い透光性の基板でよい。このような基板は究極的にはLEDの効率を制限するであろう。そこで、導電性がより高い透光性の基板と置き換えるために透明な一



時的成長基板を除去することによって、装置の性能を高めることができよう。同様にして、導電性が低い一つの吸収性層を導電性がより高い吸収性層と置き換えることができる。

【0017】前述の方法はウェーハ接合層を有する発光半導体装置を形成するものである。「ウェーハ接合層」とはここではウェーハ・ボンディングを行った層の特徴とする特性を示す層もしくは基板であると定義される。このような特徴の一つはエピタキシャル成長された不整合の異質境界面と比較して、ウェーハ・ボンディングされた境界面で形成される適合しない転位の性質が異なるものと考えられる。ウェーハ・ボンディングがなされた境界面は主として「エッジの転位(edge dislocation)」、すなわちそのバーガース・ベクトルがウェーハ・ボンディングされた境界面にある転位からなる不整合転移を呈するものと認められている。これらの特性は代表的にはより高い「拡散転位(threading dislocation)」、すなわち不整合の境界面に限定されず、境界面に対して垂直に伝播しようとする転位を呈するエピタキシャル成長された不整合境界面とは対照的である。

【0018】本発明の別の実施例では、層は後になって除去される必要がない第1の成長基板上でエピタキシャル成長される。Al含有のIII-V半導体の多くは湿気のある環境では不安定であり、加水分解によって劣化する。このような劣化によって、厚さが相当なAl含有III-Vエピタキシャル層を含むLEDに信頼性に関する問題点が生ずることがある。例えば、図22に示したようなAlGaAsのLEDは湿気のある高温下での信頼度検査中にAl含有率が高い層の酸化の結果として劣化する。この劣化はウェーハ・ボンディングを採用することによって軽減する可能性がある。例えば、Al含有率が高いが薄い層(エピタキシャル層28)の大部分をAl含有率が低い、厚い透光性、導電性のウェーハ接合層と置き換えることができる。同様にして、GaPのウェーハ接合層を透明基板24の大部分と置き換えることができる。すなわち、不活性化を達成するためにウェーハ・ボンディング技術を利用することができる。

【0019】別の実施例では、LED構造を形成するLED層に導電性ミラーをウェーハ接合することができる。次にミラーの方向に放射された光線がLED構造に反射して、装置の効率が高められる。この実施例では、ミラーは吸収性の基板でも透光性基板でもよい基板によって支持される。何故ならば、光線は基板自体には到達しないからである。

【0020】ウェーハ・ボンディングは更に、いかなる光学的利点をも無視して機械的安定性及び/又は熱安定性を高めるために利用できる。例えば、安定性を高めるために頑丈なIII-V半導体ウェーハ又はSiCウェーハをIII-V LED構造に接合することができる。

【0021】更に別の実施例では、ウェーハ接合される

少なくとも一つのウェーハ表面が、ウェーハの電気的及び/又は光学的特性が選択的に変化するようにパターン形成される。例えば、LEDの能動領域に所望の電流経路を形成するためにウェーハ・ボンディングに先立って選択された領域に窪みを形成してもよい。応用例の可能性としてはLEDに電圧を印加し、スポット・エミッタの製造を簡単にするために金属化された電極に向ける光線を低減することが含まれるが、これに限定されるものではない。パターン形成は更にウェーハ表面に沿った光学特性を変化させて、光線を所望の態様で再配向させることにも利用できる。

【0022】前述のように、ウェーハ接合境界面は電気抵抗率が低く、機械的強度が高いことが好ましい。所望の抵抗特性と構造上の完全性を達成する上でファン・デル・ワースの力(van der waals' forces)は一般には有効ではないことも判明している。圧力と高温処理の組み合わせが所望のオーム及び機械的特性をより確実に達成するということが判明した。更に、高温下で圧力を加えることによって、ウェーハが互いに適合し、特に比較的厚い層を接合する際にウェーハ表面の不平滑性に起因する何らかの問題点を最小限に抑えることができる。

【0023】本発明の利点はこの方法によって製造されるLEDの性能が増強されることにある。光線放出及び電流拡散の双方が向上する。別の利点は、ウェーハ・ボンディングは基板のエピタキシャル成長による制約を受けないので、8ミル又はそれ以上の厚い基板をコスト効率よく形成できることにある。基板が厚いことによって取扱及び素子への装着特性が向上する。

【0024】

【実施例】図1を参照すると、本発明を実施する第1の工程は、複数個のLED層をその上で順次成長させる第1基板として成長基板30を選択することである。好適な実施例では、成長基板30はLED層の製造後に除去される一時的成長基板である。この実施例では、成長基板の電気的、光学的特性は製造されるLEDの動作には関係ないので、成長基板はLED層の成長に影響する特性に関してだけ選択することができる。例えば、格子整合は一般に成長基板を選択する上で配慮される重要な側面である。しかし、実施例によっては成長基板は残されるので、その実施例では成長の適応性以外の特性が重要になる。

【0025】一時的成長基板30の例は厚さが250ないし500 $\mu\text{m}$ の範囲内のGaAs基板である。次に四つのLED層32、34、36及び38が成長基板30上で成長される。LED層32-38は液相エピタキシ、気相エピタキシ、金属有機化学蒸着及び分子ビーム・エピタキシを含む多様な公知の方法の何れかを利用して成長させることができる。LED層32-38は二重異質接合LEDを形成するが、本発明はどの種類のLED装置にも利用できる。

【0026】成長基板30の真上のLED層32はn-ドーピングされた緩衝層であるが、成長基板(30)と結合された第2側面ともなる。緩衝層の上方ではn-ドーピングされた下部のAlGaInP密封層が成長される。下部の密封層のLED層34の厚さは例えば800ナノメートルである。

【0027】AlGaInPの能動層となるLED層36は厚さが例えば500ナノメートルまで成長される。次にp-ドーピングされたAlGaInPの上部密封層となるとともに、第1側面ともなるLED層38の模範的な厚さが例えば800ナノメートルである。電流の拡散を促進することによって、LED構造の性能を向上するために、透明で、LED層34、36及び38よりも導電性が高いウインドウ層をオプションとして上部密封層となるLED層38の上で成長させてもよい。このようなウインドウ層はフレッチャー(Fletcher)他の米国特許明細書第5,008,718号に記載されている。

【0028】LED層32-38内ではある程度の光吸収性及び電気抵抗率の誤差が許容される。それはこれらの層が十分に薄く、最適な特性を達成するために素子の性能を著しく妥協しなくてもよいからである。しかし、光吸収性の一時的成長基板30は明確に性能に影響を及ぼす。さて、図2を参照すると、成長基板は既に除去され、成長層であるLED層32-38によって形成されたLED構造が残されている。成長基板の除去は、化学エッチング、ラップ研磨/研磨、反応性イオン・エッチング及びイオン摩砕を含むそれらの組み合わせの方法で達成できる。後に詳述するように、成長基板を除去する方法は除去した後で清浄で平坦な表面が現れる限りは限定的なものではない。成長基板に加えて、緩衝層であるLED層32の全部、又は一部を除去し、下部の密封層であるLED層34の一部を除去することができる。

【0029】一時成長基板を除去した後、性能向上基板が図2に示したLED構造40の最下層のLED層32又は最上層のLED層38の何れかに接合される。接合されるべきウェーハの位置はLED構造40、及び成長層32-38及び/又は接合される基板の電氣的及び光学的特性に左右される。ウェーハ・ボンディング技術が採用される。ウェーハ・ボンディングによってLEDに性能増強基板を付与する別の方法と比較して多くの利点40が得られる。

【0030】図3は透明層として使用され、また永久基板でもある導電性、透光性基板42が緩衝層であるLED層32にウェーハ接合された実施例を示している。ウェーハ・ボンディングには透光性基板を成長させる必要なくともこれを得られるという利点をもたらす。好ましくはウェーハ接合された導電性、透光性基板42は8ミルを超える厚さを有している。従来の技術を使用してこれに匹敵する厚さを有する基板を成長させることは困難であるか、不可能であり、可能であるにしても極めて長

時間を要するであろう。LED構造40の比較的薄い層であるLED層32-38だけを成長させればよいので、エピタキシャル成長に要する時間を劇的に短縮でき、それによって処理量を最大限にすることができる。更に、ウェーハ・ボンディング工程によってエピタキシャル成長される透光性基板と比較して機械的特性が増強された厚い装置が得られる。その結果産出されるLED装置は取扱いが一層容易になり、破損しにくくなるので、製造がより簡単になり、装置の産出量が增大する。ウェーハ・ボンディングは更に装置の底部からp-n接合部を変位するために利用してもよく、それによって従来のように装置を導電性銀含有エポキシに実装する際に装置が短絡回路とする可能性が軽減される。

【0031】さて図4を参照すると、製造工程の残りにには標準型のLED技術が含まれる。電極44が例えば蒸着によって上部密封層であるLED層38上に形成される。電極を形成する代表的な材料は金-亜鉛合金である。第2電極46は導電性、透光性基板42上に形成される。この場合も蒸着が用いられるが、それに限定されるものではない。代表的な材料は金-ゲルマニウム合金である。

【0032】場合によってはウェーハ・ボンディングと適応化するために上記の工程を修正することが望ましいか、又は必要でさえあることがある。例えば、図5では、SiC基板の永久基板でもある第2基板48が図1の構造にウェーハ接合されている。すなわち、第2基板は一時的成長基板30を除去する前にウェーハ接合される。第2基板48は6ミルを超える「厚い」層であることが好ましい。成長基板30を除去する前にウェーハ接合することによって、エピタキシャル層のLED層32-38が基板によって支持されない時間がなくなるので、装置の機械的な安定性は大幅に向上するであろう。別の選択として、ウェーハ・ボンディングの前に緩衝層を第2基板48上にエピタキシャル成長させてもよい。このようなエピタキシャル緩衝層は緩衝層であるLED層32の底部で成長基板30と置き換えられる層と共に使用してもよい。

【0033】別の実施例では、図1の装置は透光性、又は吸収性の成長基板30上で成長されるLED層32-38を有する従来形の構造のものでよい。その場合は図5のウェーハ接合層による第2基板48は、フレッチャー(Fletcher)他の米国特許明細書第5,008,718号を参照して前述した電流拡散ウインドウ層のような厚い、導電性、透光性の層となろう。更に、最上層の第2基板48を接合した後、光線放出及び/又は電流拡散特性を向上させる理由から、元の成長基板30を除去し、別の性能向上基板を残りの構造の底部にウェーハ接合することも可能である。

【0034】更に、図1の素子は導電率が低く、装置の電流拡散力が限定される従来形の透光性層の成長基板3

0を有しているものでもよい。この場合は、導電率がより高い透光性基板をウェーハ接合することが望ましい。導電率が高まると、装置の性能が向上しよう。置き換えの透光性基板が導電率の低い露出したLED層にウェーハ接合される。導電率がより高い置き換えの透光性基板を、導電率が低い透光性層の除去の前又は後にLED構造にウェーハ接合することができよう。

【0035】同様に、吸収性の一時的成長基板を導電率がより高い吸収性基板と置き換えてもよい。吸収性層を取り付けるためにウェーハ・ボンディングを利用することは好適な本実施例ではないが、このようなウェーハ・ボンディングでもLED素子の性能を同様に向上させるであろう。

【0036】さて図6を参照すると、ウェーハ・ボンディングは図1又は図3の何れかの構造を不活性化するためにも利用できる。多くのAl含有III-V半導体は、このような半導体が加水分解により劣化し易いので、湿気のある雰囲気では不安定である。このような劣化によって相当の厚さのAl含有III-Vエピタキシャル層のLED層30-38を含むLEDに信頼性の点で問題が生ずることがある。例えば、劣化は湿気がある高温下で使用中にAl含有率が高い上部の密封層であるLED層38の酸化に起因する場合がある。Al含有層の大部分をAl成分の含有率が低い厚い、透光性、導電性のウェーハ・ボンディング層と置き換えれば、劣化は防止できる。例えば、ウェーハ・ボンディング層50はGaPでよい。

【0037】図3を再び参照すると、導電性、透光性基板42とLED構造40との間の所望の電氣的接続は金属化の実施によって保証することができる。例えば、ウェーハ接合される導電性、透光性基板42の上面に薄い接点領域を形成することができる。対応する接点領域をLED構造の最下層のLED層32に形成することができる。厚さが1000オングストローム未満の接点が好ましい。適正な電氣的接点を確保するためには接点のパターンは十分に大きいことが必要であるものの、接点が占める総面積は、LED構造と導電性、透光性基板42との境界面が透光性基板への、又、透光性基板からの光線の透過を可能にするのに充分小さいことが必要である。接点は合金でも、非合金でもよい。そこで基板の表面が最下層のLED層32の表面と接触され、装置は温度を上昇して熱処理される。熱処理によって金属化されない領域でのウェーハ・ボンディングが達成され、金属化された接点での接合がなされる。

【0038】半導体-ガラス接合において、半導体-半導体接合と比較して優れた接合強度が認められた。半導体-半導体接合と比較して同様のことが、半導体-SiO<sub>2</sub>接合の場合にも認められる。このように、機械的な完全性の観点から、半導体-ガラス-半導体の挟装層、又は半導体-SiO<sub>2</sub>-半導体の挟装層を製造すること

によって透光性基板のLEDを形成することが望ましいだろう。図7を参照すると、ガラス又はSiO<sub>2</sub>、又はその他の酸化物の層52を導電性、透光性基板54上に形成することができる。次に層52がパターン形成されて、直前に述べた実施例の場合のように接点金属化領域56が付与される。あるいは、又はそれに加えて、LED構造40の最下層のLED層32上に酸化物及び/又は接点金属化領域58にパターン形成してもよい。この場合も、接点は良好な電氣的接触用に充分な面積を付与し、同時に境界面を依然として大幅に透光性にするようにパターン形成される必要がある。次に層52の表面が緩衝層であるLED層32の表面と接触され、処理によって層の間のウェーハ接合が形成される。熱処理によって材料相互間の接合強度が増強される。

【0039】さて図8を参照すると、前述のLED構造40はミラー60にウェーハ接合することができる。ミラー60はそこで下方に放射された光線、又は先に反射された内部光線を反射する。反射によって装置の光線出力が高められる。ミラー60は基板62によって好適に支持される。光線は基板に到達する前に反射されるので、基板の光学特性は関係がない。

【0040】ミラー60と基板62はLED構造40にバイアスを加えるために電極を基板に接合できるように、導電性材料から成る必要がある。更にミラーはエピタキシャル成長又は溶着されたブラッグ・リフレクタから成っているものでもよいことに留意されたい。基板62を形成するためにシリコン、GaAs又は同様のある種の材料を使用できる。装置が高温下で、又は高電流下で動作される場合、これらの材料の幾つか、例えばSiは熱伝導率が比較的高いので、これらの材料によって装置を更に向上させることができる。

【0041】ウェーハ・ボンディング工程を利用して積層LED装置を形成することもできる。このような素子は図9に示されている。境界面が装置を通して高い導電率が保持されるような境界面である場合は、複数のLED構造40と64とを互いに接合でき、且つ(又は)別の層と接合できる。上部のLED構造40のLED層34と38のドーピングの形式は下部のLED構造64の層70及び66のそれぞれのドーピングの形式と対応する。従って、二つのLED構造40と64とは同じ極性で配置されている。更に、ウェーハ接合される表面は極めて重くドーピングされるように準備される必要がある。このようにして、構造が互いに接合される際に、LED構造と逆の極性を有する重くドーピングされたトンネル接合部72が形成される。あるいは、トンネル接合部は、この接合部の露出表面にウェーハ・ボンディングを行いつつ、LED構造の一部としてエピタキシャル成長させてもよい。

【0042】図9の装置は個々のLED構造40及び64が順方向にバイアスされるように、上部電極74に電

圧を印加し、下部電極76に電圧を印加することによって動作される。下部電極は導電性、透光性基板78上のパターン化された金属化層である。積層装置の順方向バイアスは重くドーピングされたトンネル接合部72に逆バイアスを加え、それによってトンネル接合部を導電性にする。このようにして、光線出力と効率を高めるために任意の数のLEDを互いに積層することができる。LED構造40及び64の積層から成るLED装置は、それが互いに積層されていない場合の個々のLED構造の電圧の総計で動作する。能動層であるLED層36と能動層68とが同じ放射エネルギーを有することは決定的に重要ではない。しかし、導電性、透光性基板78は個々のLED構造の放出エネルギーよりも大きいエネルギー・ギャップを有していることが好ましい。導電性の形式の全てが反転された場合も積層を形成できることに留意されたい。

【0043】LEDの形成に際して任意の数の基板をウェーハ接合することができる。好適な実施例では、ウェーハ結合層は厚さが1ミルを超える半導体である。許容できる材料にはSi, Ge, AlP, AlSb, GaN, AlN, GaP, GaAs, GaSb, InP, InAs, InSb, ZnS, ZnSe, CdSe, CdTe, SiC, 又は上記の合金の任意の組合せが含まれる。ウェーハ接合基板は市販のものでもよく、又は、市販の基板にエピタキシャル成長層を付加したものでもよい。エピタキシャル成長層を付加する理由は例えば基板の接合強度を高めたり、ウェーハ接合の境界面の導電率を高めるためである。ウェーハ接合基板は単独で、一時的成長基板から除去された前述の材料の厚い、すなわち1ミル以上のエピタキシャル層であることもできる。更に、ウェーハ接合層は一時的成長基板上に形成された、例えば2 $\mu$ mのより薄いエピタキシャル層であってもよい。その後、このような層がウェーハ接合され、引き続いてこの成長基板が除去される。

【0044】図10はパターン形成された第1の層としての半導体ウェーハ126が、上部の密封層130と、能動層132と、下部の密封層134とから成るLED構造128にウェーハ接合される実施例を示している。LED構造は基板136上で成長させるか、又は、基板136にウェーハ接合されることができる。パターン形成された半導体ウェーハ126は図5を参照して説明したような電流拡散ウィンドウでよいが、これに限定されるものではない。パターン形成された半導体ウェーハ126は第1の表面としての下部表面138が窪み140を形成するためにエッチングされる。窪みを設けることによってパターン形成された半導体ウェーハがLED構造と接合される際に電気的特性と光学的特性の双方が変化する。

【0045】図11では、パターン形成された半導体ウェーハ126がLED構造128の上部の密封層130

にウェーハ接合されている。次に電極142及び144Aがパターン形成された半導体ウェーハ126の上部表面と基板136の下部表面上に形成される。パターン化されたウェーハ内の窪み140は空洞もしくは空隙を形成する。電極142に電圧を印加することによってLED構造128に電流が導通するが、図11の電流の流れの矢印が示すように、空洞の真下の領域には電流は流れない。

【0046】電極の領域は一般に吸収性の領域である。その結果、図11に示したような限定された電流の流れによってLED装置の効率が向上し、電流導通経路を選択する複雑ではない方法が得られる。

【0047】ディスプレイ及びスポット・エミッタのようなその他のLED装置も限定された電流の流れによって利点を得られる。図12は基板146上にLED構造144を備えたスポット・エミッタ142を示している。窪み148と150はウェーハ・ボンディング層152内に形成されている。LED構造とウェーハ・ボンディング層との境界面の空洞は、電極154及び156から境界面への電流の流れを限定する機能を果たす。窪みが境界面での電気的接触領域を限定するので、限定された電流導通経路によって窪み148と150との間に電流注入領域が得られる。スポット・エミッタ142を光ファイバ素子に結合するような用例では、中央領域での電流の流通と光線出力が望ましい。好適な実施例では、窪み148と150は単一の環状空洞の異なる部分であり、この空洞内では内径が中央の電流注入領域を形成する。

【0048】ウェーハ接合される半導体ウェーハのパターン形成は、LED層から放射された光線を戦略的に再配向することにも有利に利用できる。光線の再配向は装置の幾何的形狀や、用途や取付け方法によって異なる。その一例が図13に示されている。LED層156Aは上層158と下層160との間に挟装されている。外部層162と164は反対側でウェーハ接合される。電流が非接合領域に拡散できるように、非接合領域166、168及び170は電極172から十分に離れた部位に形成される。しかし、そうしなければ電極によって吸収されてしまう光線を再配向するために、空洞は電極には十分に近くにある。このようにして光線放出の向上を実現可能である。

【0049】電極172からLED層156Aへの電流の導通は非接合領域166、168及び170によってほとんど影響されないが、LED層からの光線は影響される。光線の再配向は非接合領域166、168、170と隣接する層との屈折率の差の結果として生ずるものである。周囲の半導体の屈折率は約3でよく、一方空洞内の屈折率は約1である。非接合領域での正確な屈折率は半導体ウェーハの接合方法によって左右される。代表的には、接合はH<sub>2</sub>又はPH<sub>3</sub>のような気体環境で行わ

れる。従って、空洞には気体が充填されることになる。このような気体は標準気圧及び温度では極めて1に近い屈折率を有している。半導体の屈折率は最適には光線が空洞内で閉込められないように空洞の屈折率よりも大きい、これは厳密なものではない。

【0050】LED用にパターン形成された半導体ウェーハの接合を行う別の方法は、LED層にパターン形成された、又はされない基板に接合する前にLED層の一つにパターン形成する方法である。図14では、パターン形成されたLED層174は窪み176を設けている。パターン形成されたLED層174は当初からエピタキシャル成長されたものでもよく、又は基板180下に位置するLED層178にウェーハ接合されたものでもよい。窪み176の形成に引き続いて、第2基板182がパターン形成されたLED層の上表面にウェーハ接合される。あるいは、LED層174及び/又は第2基板182にパターン形成してもよい。更に、少なくとも一方にパターン形成された二つの層を別個にウェーハ接合し、次に二つの層をLEDエピタキシャル層にウェーハ接合することも可能である。

【0051】再度図10を参照すると、窪み140は標準のエッチング技術を利用して半導体ウェーハ126に形成できる。接合されるウェーハの表面にパターン形成するために、技術上周知の別の方法も利用できる。単なる例示として挙げると、別の方法には逆バイアスされた埋設p-n接合部を形成するための選択的拡散又はイオン注入や、選択的なパターンで絶縁酸化層を成長又は蒸着する方法や、利用できる種々の方法の任意の組合せ等が含まれる。酸化層に関しては、殆どの酸化物の屈折率は約1.6であり、これはエッチングとウェーハ・ボンディングによって形成される前述の空洞と同様に光線を再配向するに十分な屈折率である。

【0052】パターン形成されたウェーハ・ボンディングの試験がn-GaP基板を使用して行われた。パターン化されたn-GaP基板が後述する技術を用いてパターン形成されないn-GaP基板に結合された。パターン形成された基板は直径が約175 $\mu$ mで深さが約15 $\mu$ mの環状窪みをエッチングすることによって形成された。窪みは125 $\mu$ mだけ間隔を隔てられた。このような寸法で基板のパターン形成は容易に達成でき、接合は基板を劈開できるのに十分な機械的強度を有していた。約40 $\mu$ mであるより小さい窪みも実験された。10 $\mu$ m未満の寸法にまで縮小範囲を広げることでも可能であり、微細なスケールの電流限定及び光線拡散能力が得られよう。パターン形成されたウェーハが接合された領域間に電流の導通を可能にし、同時に接合されない空洞での電流の流れを防止するように、後述する技術を利用してn-形又はp-形の何れかのユニポーラ接合用の、電気抵抗が低いGaP-GaP接合も達成された。

【0053】実際への適用

図15は一对のウェーハ80のウェーハ接合を達成するための公知の装置を示している。一对のウェーハは第1の黒鉛部材84と対面している。第1黒鉛部材内の溝付き領域82の面積は0.5インチ×0.8インチである。第2黒鉛部材86は第1黒鉛部材から突設した位置合わせピン90を受容する位置に穴88を備えている。互いに接合される一对のウェーハ80の厚さをランナーランで変化させるために、黒鉛シム(図示せず)を溝付領域82内に配設することができる。

【0054】第1と第2黒鉛部材84及び86を位置合わせピン90を利用して接合した後、アセンブリが密着嵌め石英管92内に挿入され、この石英管は次に開管形火熱炉に装入される。1.0リッター/分の流速のH<sub>2</sub>雰囲気中で温度が850-1000℃まで上昇される。温度周期は所望の温度へ傾斜させる周期であり、その後、5秒ないし1時間理熱処理される。次に冷却周期が続く。

【0055】加熱中、一对のウェーハ80が圧縮される。圧縮力は石英管92の熱膨張係数(5.5×10<sup>-7</sup>/℃)と、第1と第2黒鉛部材84及び86の熱膨張係数(8.4×10<sup>-6</sup>/℃)との差によって生ずる。更に、ウェーハ80の熱膨張係数(例えばGaPの場合は5.8×10<sup>-6</sup>/℃)は相当であるので、圧縮力を更に促進する。上昇した温度で、III-V半導体ウェーハがやや塑性になる。その結果、ウェーハ表面は圧縮されると互いに順応してウェーハ表面のムラが補正されることに寄与する。

【0056】図15のウェーハ・ボンディング装置に装荷する前に、ウェーハ80は清浄にしてウェーハ表面から汚れや酸化物を除去しなければならない。有機汚染物は一般に脱脂技術によって除去される。材料がIn<sub>x</sub>Ga<sub>1-x</sub>P及びGaPである場合は、酸化物は代表的にはNH<sub>4</sub>OHでエッチングされることによって除去される。エッチングの後、ウェーハから残余のNH<sub>4</sub>OHを除去するためにウェーハは直ちにメタノール中に置かれる。接合される表面はサンプルがメタノール中にある間、接触状態にされている。

【0057】次に接触しているウェーハ80からメタノールが除去される。メタノールは速やかに蒸発し、ウェーハ80はファンデルワース力によって結合状態に留められる。しかし、ファン・デル・ワースによる接合には一般に十分な機械的強度がなく、一般に前述のようなLED装置の製造で使用されるのに十分な導電性が得られない。従って、更に別の固体接合が必要である。そこで図15のウェーハ・ボンディング装置が使用される。

【0058】下記の実験の場合、ウェーハはGaP:S(n=5×10<sup>17</sup>cm<sup>-3</sup>)の基板〔(100)+(110)の方向に2°、又は(100)+(110)の方向に10°〕と、(GaAs上で成長せしめた厚さ2ミルの気相エピタキシGaPから作成された)GaP:Zn

( $p=2 \times 10^{18} \text{ cm}^{-3}$ ) 「疑似基板」から成っている。 $\text{GaAs}:\text{Te}$  ( $n=5 \times 10^{17} \text{ cm}^{-3}$ ) 上で金属有機化学蒸着 (MOCVD) によって成長させた  $1 \mu\text{m}$  の  $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}:\text{Te}$  ( $n=1 \times 10^{18} \text{ cm}^{-3}$ )、及び MOCVD によって  $\text{GaAs}$  上で成長させた  $\text{In}_{0.5}(\text{Al}_{1-x}\text{Ga}_{1-x})_{0.5}\text{P}$  二重異型構造の LED とから成る層も用いられた。 $\text{GaAs}$  基板は (110) の方向に (100) +  $2^\circ$  の配向であった。固体ウェーハ・ボンディングの後、露出表面の熱損傷は一般に  $\text{HCl}:\text{HNO}_3:\text{H}_2\text{O}$  (1:1:1) 中でのエッチングによって除去される。次にウェーハは  $n$ -形接点用に  $\text{AuGe}$  で金属化され、及び/又は  $p$ -形接点用に  $\text{AuZn}$  で金属化され、合金され、チップへと切断される。

【0059】二つのウェーハ・ボンディング層のウェーハ 80 の境界面で所望の電気抵抗特性を達成するように上記の工程を実行する上で考慮すべき重要な点は、接触前のウェーハの表面の処理であることが判明した。前述したように、好適な工程にはウェーハを  $\text{NH}_4\text{OH}$  でエッチングして表面処理し、その後、ウェーハ 80 がメタノール溶液中浸漬中に表面を互いに接触して接合する工程が含まれる。これらの二つの工程に含まれる処理の後に接合されるウェーハが、 $\text{HF}:\text{脱イオン水}$  (1:10) でエッチングし、次に脱イオン水で濯ぎ、 $\text{N}_2$  で乾燥させた別の処理工程の後に接合されたウェーハと比較された。双方の場合とも、接合されたウェーハは  $n$ -形  $\text{GaP}$  基板と、( $\text{GaAs}:\text{Te}$  上の)  $n$ -形  $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$  から成るものであった。別の表面処理工程の後に、ウェーハは図 15 のウェーハ・ボンディング装置内に装荷された。ウェーハは同様に  $1000^\circ\text{C}$  で 1 時間熱処理された。 $\text{NH}_4\text{OH}$ -メタノールで処理されたウェーハの場合、電流-電圧特性によって明確に、比較的低抵抗の抵抗接合が示された。 $\text{HF}:\text{脱イオン水}$  でのエッチングにより処理されたウェーハは、接合されたウェーハの境界面で「障壁」が形成されたかのように非抵抗特性を呈した。このような非抵抗特性は一般に一つのウェーハ接合された基板から別のウェーハ接合された基板へと電流が導通されるべき用途には許容されない。

【0060】 $\text{NH}_4\text{OH}$ -メタノールによる表面処理は  $n$ -形  $\text{InGaP}$  を  $n$ -形  $\text{GaP}$  に接合する場合、現在のところ所望の電気的抵抗特性を達成する好適な処理であるものと考えられる。 $\text{NH}_4\text{OH}$  でエッチングし、メタノールで濯ぎ、接触前に  $\text{N}_2$  で乾燥させるような別の表面処理では非抵抗特性が生じる。しかし、( $n$ -形  $\text{GaAs}:\text{Te}$  上の)  $n$ -形  $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$  を ( $\text{GaAs}:\text{Te}$  上の)  $n$ -形  $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$  と接合するために同じ処理を行った場合、所望の抵抗結合特性が生じた。この差異はこの表面処理が  $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$  には充分であるが、 $\text{GaP}$  から酸化物を全て除去することはできないことによるであろう。この差異の原因として考えられる別の説明としては、 $\text{In}$  含有成分の場合には

接合特性が向上したことが挙げられる。

【0061】(a)  $n$ -形の  $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$  に接合された  $n$ -形の  $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$  からなく固相接合されたウェーハと、(b)  $n$ -形の  $\text{GaP}$  に接合された  $n$ -形の  $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$  から成る固体接合されたウェーハとの比較がなされた。双方の組のウェーハとも所望の電気的抵抗特性を有するウェーハ結合が得られた。しかし、(a) ユニポーラの  $n$ -形の  $\text{In}_{0.5}\text{Ga}_{0.5}\text{P} / \text{In}_{0.5}\text{Ga}_{0.5}\text{P}$  の接合は、(b) ユニポーラの単極の  $n$ -形の  $\text{In}_{0.5}\text{Ga}_{0.5}\text{P} / \text{GaP}$  接合と比較して境界面で著しく低い抵抗を呈した。(a) の場合は抵抗は約 1.5 オームであり、一方、(b) の場合は抵抗は約 5 オームであった。(20×20ミルのダイス) あるいは、抵抗がより低い  $\text{In}_{0.5}\text{Ga}_{0.5}\text{P} / \text{In}_{0.5}\text{Ga}_{0.5}\text{P}$  の接合は、 $1000^\circ\text{C}$  で達成される  $\text{In}_{0.5}\text{Ga}_{0.5}\text{P} / \text{GaP}$  の接合と比較して、約  $975^\circ\text{C}$  のより低温でウェーハ領域全体に亘って形成可能である。

【0062】実験の結果は、LED の製造で使用される固体ウェーハ・ボンディングには  $\text{In}$  含有成分が望ましいことを示している。その理由として可能な一つの説明としては、半導体ウェーハの接合工程の間、材料がせん断応力、蒸発-凝結、及び物質移動によって材料が遷移可能であることが挙げられる。 $\text{In}$  含有成分に認められる接合の増強は、 $\text{Ga}$  原子と比較して  $\text{In}$  原子の表面移動度が高く、又は、 $\text{GaP}$  と比較して  $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$  の物質移動特性が優れている結果として望ましいものである。更に、 $\text{AlGaAs}-\text{GaAs}-\text{InGaAs}$  構造では拡散度が比較的高いことが知られている。同様に、 $\text{In}$  は固相ウェーハ・ボンディング工程中に拡散、又は  $\text{GaP}$  と合金して、接合された境界面の周辺で  $\text{In}_{1-x}\text{Ga}_{1-x}\text{P}$  ( $x < 0.5$ ) 合金を形成することができる。

【0063】 $\text{In}$  含有成分に加えて、同様の特性、すなわち原子の表面移動度が高いこと、及び/又は物質移動特性の向上という特性を有する別の  $\text{III-V}$ 、又は  $\text{I-IV}$  成分も固体ウェーハ・ボンディング用に有利に利用できる。従って、 $\text{Hg}$  含有、 $\text{Cd}$  含有、及び  $\text{Zn}$  含有成分はこのような用途での主要な候補である。

【0064】所望の電気的抵抗特性を備えた固体ウェーハ接合を形成する別の重要なパラメータは、図 15 の装置内でウェーハ 80 を熱処理する場合の温度分布である。図 16 は二つの異なる温度分布を示している。上部の温度分布では、 $1000^\circ\text{C}$  までの「迅速な」傾斜 (ramp) が示され、一方、下部の温度分布は  $1000^\circ\text{C}$  までの「緩速の」傾斜が示されている。何れの場合も、 $1000^\circ\text{C}$  まで傾斜した後に 1 時間の熱処理が行われる。同様の冷却用温度分布が示されている。

【0065】下部の「緩速の」傾斜によって一般により低い温度で、又、実質的により大きい面積に亘る抵抗結合が生ずる。この現象は高温遷昇の一部の期間中、圧縮

されない接合表面により生ずるものである。それによってウェーハ・ボンディングに先立ち、ある程度の表面分解、又は熱による酸化物離脱が可能になろう。更に、このような差異は「緩速の」傾斜による有効な熱処理が長いことに起因するものであろう。しかし、この作用はn-形とn-形のウェーハの接合のみに認められるものである。このような依存性はp-形とp-形のウェーハの接合では認められなかった。

【0066】 n-形のウェーハよりもp-形のウェーハ相互間の抵抗接合の方が容易であることはある程度明らかである。p-GaPとp-GaPの、又、n-GaPとn-GaPのウェーハ・ボンディングが実行された。10 双方の場合とも、接合は1時間に亘って1000℃で行われた。n-形とp-形の双方の接合ともサンプルの全領域に亘る抵抗接合が生じた。しかし、接合抵抗は12×12ミルのチップの場合、GaP/GaP n-形ユニポーラ・ウェーハ接合の場合(約5オーム)よりも、GaP/GaP p-形ユニポーラ・ウェーハ接合の場合(0.9オーム未満)の方が大幅に低かった。n-形ドーバートと比較してp-形ドーバートの拡散率が高いことによってp-形サンプル相互間の抵抗接合を形成し易いことになる。

【0067】 吸収性GaAs構造を除去し、透光性GaP基板をIn<sub>0.5</sub>(Al<sub>1</sub>Ga<sub>1-r</sub>)<sub>0.5</sub>P LEDに固体ウェーハ接合することによって、元の吸収性GaAs成長基板を残したままの同じLED基板と比較して約2倍という光線出力の顕著な向上が達成された。

【0068】 図15のウェーハ・ボンディング装置は所望の結果を達成するものの、この装置では残念ながら温度に関わりなく圧縮力を加えることができない。すなわち、この装置は材料の熱膨張の結果として圧縮力を生ずるので、圧力と温度を別個に制御することができない。その結果、図17及び図18の反応炉が開発された。図17は反応炉94の上面図を示している。反応炉は一对のウェーハを圧縮するための二つの黒鉛部材96及び98を備えている。一つの黒鉛部材96の位置合わせピン100が別の黒鉛部材98のノッチ内に受容されている。

【0069】 黒鉛部材96及び98は火熱炉管102内に配置されている。後方の黒鉛部材96は黒鉛部材の弧状開口部108内に軸106を受容することによって加熱炉管102に対して固定位置にある。前方の黒鉛部材98は加熱炉管102内に移動可能である。黒鉛部材98の開口部112内に受容された軸104に空気圧ピストンが取り付けられている。空気圧ピストンは黒鉛部材に、ひいては110の位置にある一对のウェーハに可変圧を加えるために空気圧制御されている。

【0070】 図18を参照すると、一对のウェーハ112及び114は最初には分離されている状態が示されている。これと対照的に、図19は二つのウェーハ120が

最初から接触している第1と第2黒鉛部材116及び118を示している。図19の実施例が試験され、予備データは固体ウェーハ・ボンディングを境界面全体に亘って実施できることを示している。温度の関数としての印加圧力の分布はウェーハ120の亀裂と破損を最小限にする上で重要である。亀裂の発生はウェーハが柔軟ではない温度で高圧を加えることに起因することがある。

【0071】 ウェーハ112及び114を最初に分離できる図18の実施例は、ウェーハを接合する前にウェーハ表面から酸化物を熱離脱できるので好適であろう。あるいは、接合されるべき表面をある程度分解することが望ましいこともある。図18の実施例はこのような接合条件を促進するものである。

【0072】 別の可能性として、ウェーハ表面から参加物を別個に離脱し、且つ表面をAsキャップ又はPキャップで覆ってそれ以上酸化することを防止することがある。キャップを装着されたウェーハはその後、黒鉛部材の間に配置されよう。キャップはウェーハの表面自体を有効に分離するので、キャップを装着されたウェーハが物理的に接触しているか否かは重要ではない。次にキャップを装着されたウェーハは500℃を超える温度に加熱されて、ウェーハのキャップが除去され、接合用に酸化物を含まない表面が残される。次にウェーハは押圧されて接触され、固体ウェーハ・ボンディング用に温度が上昇される。

【0073】 更に、接合中にドーパ剤のガスを図17の火熱炉102を通して流通させ、接合される境界面でのキャリア濃度を高めることができる。適切なドーパント・ガスにはH<sub>2</sub>Sc、H<sub>2</sub>S、DETC及びDMZnが含まれよう。これはp-形接合よりも困難であるとみられるn-形結合にとって特に重要である。

【0074】 図17の反応炉94によって図18の装置で必要であるよりも低い温度で抵抗固体ウェーハ・ボンディングの形成が可能である。温度が低いことによってエピタキシャルLED層の層同士の混合が最小限に抑止されよう。より重要である点は、温度が低いことによって装置の層内でのp-n接合部の移動が最小限に抑止されることである。

【0075】 LEDの用例のためのウェーハ・ボンディングの更に別の用途には、ウェーハの機械的、熱力学的安定性を向上するために安定性に欠ける半導体層に頑強な半導体ウェーハを接合することがある。一つの特定の用例は、機械応力及び熱応力の双方に関してIII-V、又はIV-IV半導体よりも一般に安定性に欠けるとみられるII-IV LED構造用の用例である。その結果、LED装置の機械的及び熱力学的安定性の双方又は一方を向上するためにII-V層に頑強なIII-V半導体又はSiC基板を固体ウェーハ結合することが望ましい。

【0076】 以上のように、本発明の各実施例について



詳述したがここで、ここで本発明の理解を容易にするために、本発明の各実施例の実施態様について要約して以下に列挙する。

1. 所望の機械特性を有する発光ダイオード層(32, 34, 36及び38)の製造と適応性がある特性を有する第1材料を選択し; 選択された第1材料から成る第1基板(30)を設け; 第1基板上に発光ダイオード層を製造することによって発光ダイオード基板(40)を形成し; 発光ダイオード構造の性能の向上に適する透光性材料を選択し; および選択された透光性材料の透明層(42)を発光ダイオード層にウェーハ・ボンディングする; 工程とからなる発光ダイオードの製造方法である。

【0077】2. 発光ダイオード層を製造する工程は、複数の発光ダイオード層(32, 34, 36及び38)を第1基板(30)上でエピタキシャル成長させる工程であり、第1材料には複数の層のエピタキシャル成長と適応性がある格子を得るような材料を選択する前記1に記載の発光ダイオードの製造方法である。

【0078】3. 第1の基板(30)を除去する工程をさらに含む前記1または前記2に記載の発光ダイオードの製造方法である。

【0079】4. 第1の基板(30)を除去する工程は、透明層(42)のウェーハ・ボンディングに先立って行われる工程であり、このウェーハ・ボンディングは第1基板がそこから除去される発光ダイオード構造(40)の側面に透光性基板をウェーハ・ボンディングする工程である前記3に記載の発光ダイオードの製造方法である。

【0080】5. 透明層(42)を発光ダイオード構造(40)にウェーハ・ボンディングする工程は、ウェーハ・ボンディングされる層(32及び42)を軟化させるために温度を上昇させることを含め、抵抗が低い電氣的接続を得るために上昇された温度で実行される工程である前記1に記載の発光ダイオードの製造方法である。

【0081】6. ウェーハ・ボンディングする工程は、ウェーハ・ボンディングされる層の整合性を達成するために層(32及び42)に圧力を加えることを含む工程である前記5に記載の発光ダイオードの製造方法である。

【0082】7. 発光ダイオード層(32, 34, 36及び38)を製造する工程と透光性材料を選択する工程の少なくとも一方が、ウェーハ・ボンディングされる層(32と42)の境界面においてIn含有成分、Cd含有成分、及びZn含有成分の一つを選択する工程である前記1に記載の発光ダイオードの製造方法である。

【0083】8. 発光ダイオード層(32, 34, 36及び38)をエピタキシャル成長と適応性がある格子を一時的成長基板(30)を設け; 一時的成長基板(3

0)上で発光ダイオード層の積層をエピタキシャル成長させ、積層は第1側面(38)を有しかつ一時的成長基板(30)に結合された第2側面(32)を有し、それによって一時的成長基板(30)が一時的支持表面を形成し; 及び一時的支持表面を成長基板より高い導電性と透光性の少なくとも一方を有する永久基板(42及び48)と置き換え、置き換えるのは永久基板を発光ダイオード層の第1と第2側面の一方にウェーハ・ボンディングすることを含み、ウェーハ・ボンディングするのは永久基板と発光ダイオード層との境界面で温度を上昇させて、双方の間に低抵抗接続を達成する; 工程とからなる発光ダイオードの製造方法である。

【0084】9. 一時的支持表面の置き換え工程は、発光ダイオード層(32, 34, 36及び38)の第1側面(38)に永久基板(48)をウェーハ・ボンディングした後に成長基板(30)を除去する工程を含む前記8に記載の発光ダイオードの製造方法である。

【0085】10. 一時的支持表面の置き換え工程は、発光ダイオード層(32, 34, 36及び38)の第1側面(38)に永久基板(48)をウェーハ・ボンディングする前に成長基板(30)を除去する工程を含む前記8に記載の発光ダイオードの製造方法である。

【0086】11. 発光ダイオード層(32, 34, 36及び38)上に第2導電性、透光性基板(48)をウェーハ・ボンディングし、永久基板が、導電性、透光性であり、それによって発光ダイオード層を透光性基板(42及び48)の間に挟装する工程をさらに含む前記8、前記9または前記10に記載の発光ダイオードの製造方法である。

【0087】12. ウェーハ接合の境界面でキャリアの濃度を高めるために永久基板(42及び48)のウェーハ・ボンディング中にドーピング・ガスを流入する工程をさらに含む前記8に記載の発光ダイオードの製造方法である。

【0088】13. 一時的成長基板(30)を永久基板(42及び48)に置き換える工程の前に酸化を防止するために永久基板(42)と発光ダイオード層(32, 34, 36及び38)の少なくとも一方にキャップ材料を装着する工程をさらに含み、さらに発光ダイオード層に永久基板をウェーハ・ボンディングするために永久基板と発光ダイオード層の少なくとも一方からキャップ材料を外すために熱を加える工程を含む前記8に記載の発光ダイオードの製造方法である。

【0089】14. 第1発光ダイオード構造(40)を形成するために第1発光ダイオード層(34, 36及び38)をエピタキシャルに成長させ、; 第2発光ダイオード構造(64)を形成するために第2発光ダイオード層(66, 68及び70)をエピタキシャルに成長させ; 第1発光ダイオード構造を第2発光ダイオード構造上に積層し; 及び第1発光ダイオード構造を第2発光ダ

イオード構造にウェーハ・ボンディングする；工程とからなる発光ダイオードを積層する方法である。

【0090】15. 前記第1発光ダイオード層（34、36及び38）は、一時的成長基板（30）上に成長され、さらに一時的成長基板を除去する工程を含む前記14に記載の発光ダイオードを積層する方法である。

【0091】16. ウェーハ・ボンディング工程は、前記第1及び第2発光ダイオード構造は同じ極性を有するように第1及び第2発光ダイオード構造（40及び64）を位置合わせする工程を含む前記14に記載の発光ダイオードを積層する方法である。

【0092】17. 第1及び第2発光ダイオード構造（40及び64）間のトンネル接合部（72）を形成し、トンネル接合部は第1と第2発光ダイオード構造とは反対の極性を有する工程をさらに含む前記14に記載の発光ダイオードを積層する方法である。

【0093】18. 光学的特性と電気的特性の少なくとも一方が第1及び第2の層（130）の境界面に沿って選択的に変化するように第1の層（126）の第1の表面をパターンニングし；及び第1の層の第1の表面を第2の層にウェーハ・ボンディングする；工程とからなる境界面に接合されて隣接した第1と第2の層（126及び130）を含む複数の層を有する発光ダイオードを形成する方法である。

【0094】19. 発光ダイオード層（130、132、及び134）をエピタキシャル成長させ、エピタキシャルに成長された発光ダイオード層に所望の電流経路を規定するためにパターンを選択する工程をさらに含む前記18に記載の発光ダイオードを形成する方法である。

【0095】20. 第1の層（126）の第1表面をパターンニングする工程は、第1の表面に沿って窪み（140）を形成するために第1の層から材料を除去する工程を含む前記18に記載の発光ダイオードを形成する方法である。

【0096】21. 電圧を印加するために窪み（140）と位置合わせして電極（142）を形成し、電極は第2の層（130）とは反対側に配置される工程を含む前記18に記載の発光ダイオードを形成する方法である。

【0097】22. 第1の層（126）は、電流拡散ウィンド層を形成するような材料から選択される前記18に記載の発光ダイオードを形成する方法である。

【0098】23. 第1の表面（138）が発光ダイオード構造（128）によって発生される光線用の光反射パターンを形成するようなパターンを選択する工程を含む前記18に記載の発光ダイオードを形成する方法である。

【0099】24. 第1の基板（30）を設け；第1の基板にIⅡ-VⅠ発光ダイオード構造（40）を設

け；及びIⅡ-VⅠ半導体基板とSiC基板（48）の一つをIⅡ-VⅠ半導体構造にウェーハ・ボンディングすることによってIⅡ-VⅠ半導体構造の安定性を向上する；工程とからなる発光ダイオードの製造方法である。

【0100】

【発明の効果】以上のように、本発明によれば、所望の機械的特性を有するLED層の製造に適応を有する材料で第1基板を形成し、この第1基板上にLED層を形成してLED構造を形成し、LED層に透光性材料による透明層をウェーハ・ボンディングするようにしたので、第1基板にエピタキシャル成長を要することなく、所望の機械的特性と透光性を有するLEDを短時間に大量に製造することができるとともに、透明層と成長層との境界面の抵抗率を最小限にすることができる。

【図面の簡単な説明】

【図1】本発明による一時的成長基板を有する二重異質接合LED装置の側面図である。

【図2】図1の一時的成長基板を除去したLED構造の側面図である。

【図3】ウェーハ・ボンディング技術を利用して取り付けられた永久基板を有する図2のLED構造の側面図である。

【図4】対向側に電極を有する図3の構造の側面図である。

【図5】ウェーハ・ボンディングによって製造された別のLED構造の側面図である。

【図6】図1の装置にウェーハ接合基板を取り付けた第3の実施例の側面図である。

【図7】図2のLED構造にウェーハ接合基板を取り付けた別の実施例の側面図である。

【図8】ウェーハ・ボンディング技術によってミラーに取り付けた図2のLED構造の側面図である。

【図9】積層されたLED装置の側面図である。

【図10】ウェーハ接合されたパターン形成層を用いるLED装置の側面図である。

【図11】ウェーハ接合されたパターン形成層を用いるLED装置の側面図である。

【図12】ウェーハ接合されたパターン形成層を用いるLED装置の側面図である。

【図13】ウェーハ接合されたパターン形成層を用いるLED装置の側面図である。

【図14】ウェーハ接合されたパターン形成層を用いるLED装置の側面図である。

【図15】本発明の工程を実行するためのウェーハ・ボンディング装置の分解図である。

【図16】図15のウェーハ・ボンディング装置を動作する際の温度分布グラフである。

【図17】本発明の工程を実行するための別の装置の概略図である。

23

【図18】図17の装置とともに使用するための黒鉛部材の実施例を示す分解斜視図である。

【図19】図17の装置とともに使用するための黒鉛部材の別の実施例を示す分解斜視図である。

【図20】従来の吸収性基板を有する単一異質接合LED装置の側面図である。

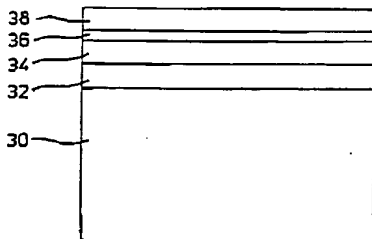
【図21】従来の吸収性基板を有する二重異質接合LED装置の側面図である。

【図22】従来の透光性基板を有する二重異質接合LED装置の側面図である。

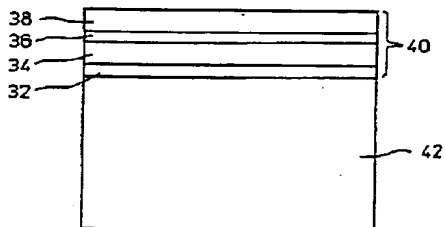
【符号の説明】

30 成長基板  
32, 34, 36, 38, 156A, 174, 178 発光ダイオード層  
40, 64, 128, 144A 発光ダイオード構造  
42, 78 導電性、透光性基板  
44, 142, 144, 154, 156 電極  
46 第2の電極  
48, 182 第2基板  
50, 152 ウェーハ・ボンディング層  
56, 58 接点金属化領域

【図1】



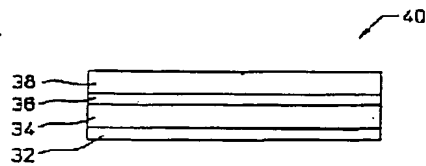
【図3】



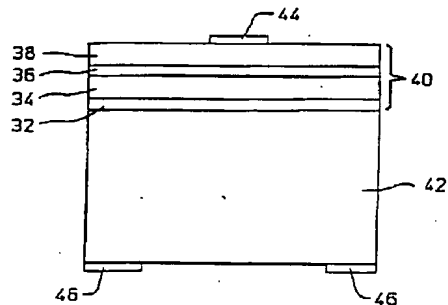
24

60 ミラー  
62, 136, 146, 180 基板  
68, 132 能動層  
72 トンネル接合層  
74 上部電極  
76 下部電極  
80, 110, 112, 114, 120 ウェーハ  
84, 116 第1黒鉛部材  
86, 118 第2黒鉛部材  
10 92 石英管  
94 反応炉  
96, 98 黒鉛部材  
102 加熱炉管  
126 半導体ウェーハ  
134 下部の密封層  
138 下部表面  
140, 148, 150 窪み  
158 上層  
160 下層  
20 162, 164 外部層  
166, 168, 170, 172 電極

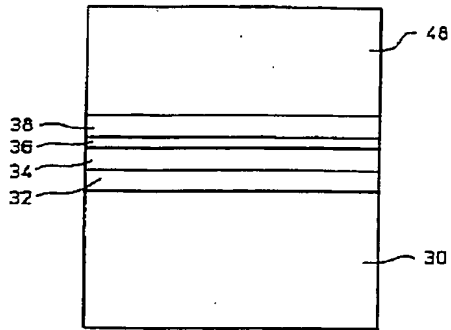
【図2】



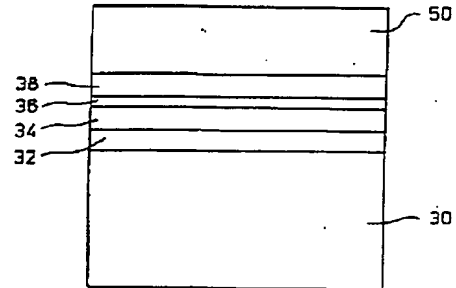
【図4】



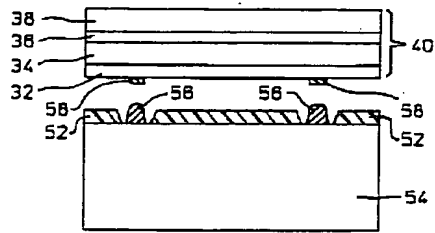
【図5】



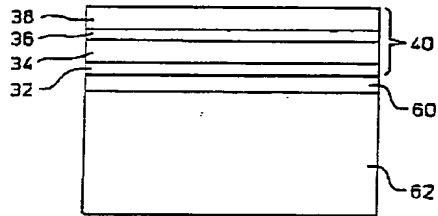
【図6】



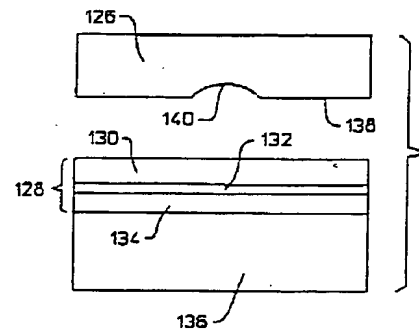
【図7】



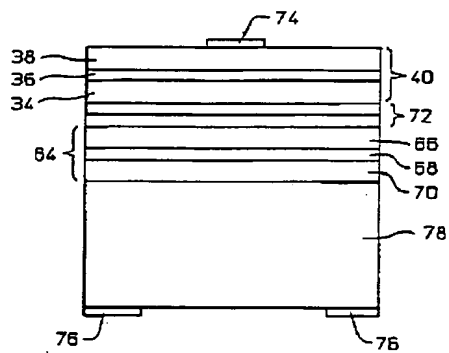
【図8】



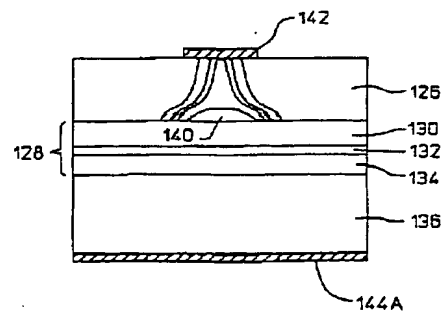
【図10】



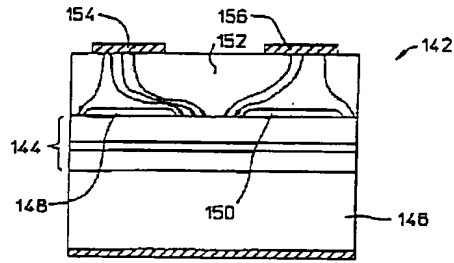
【図9】



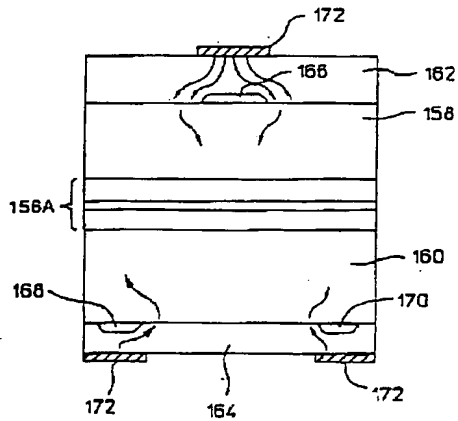
【図11】



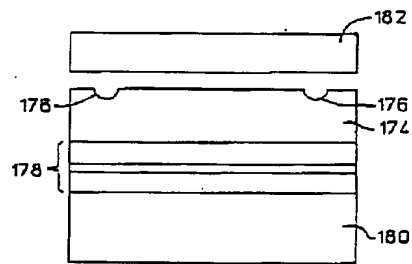
【図12】



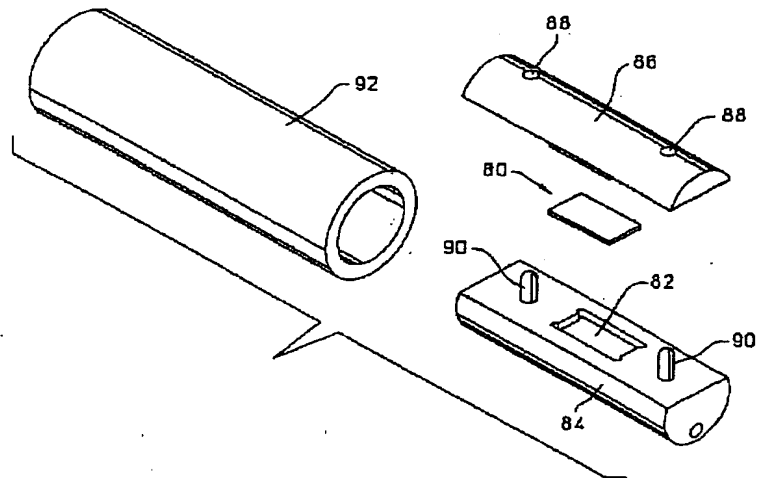
【図13】



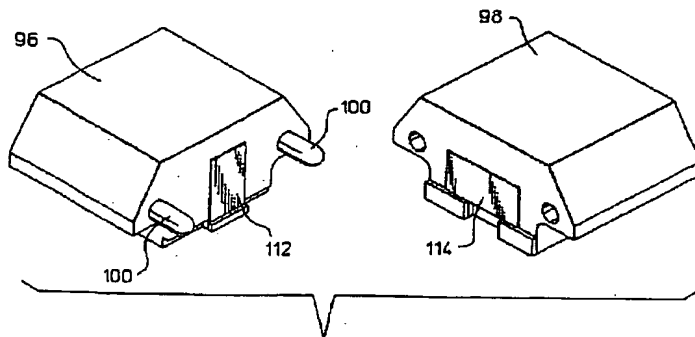
【図14】



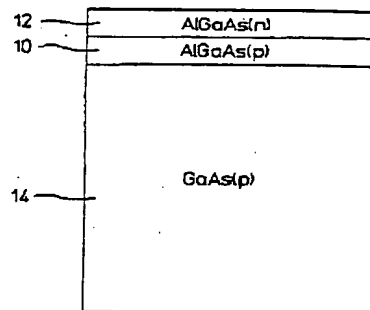
【図15】



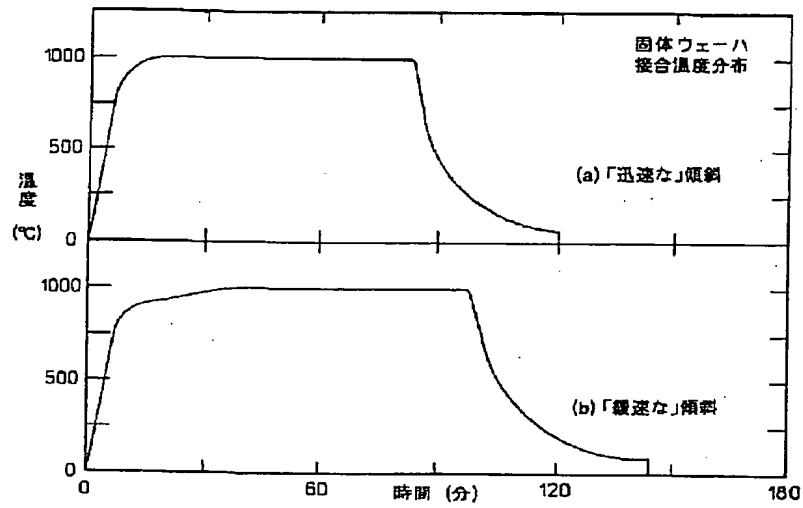
【図18】



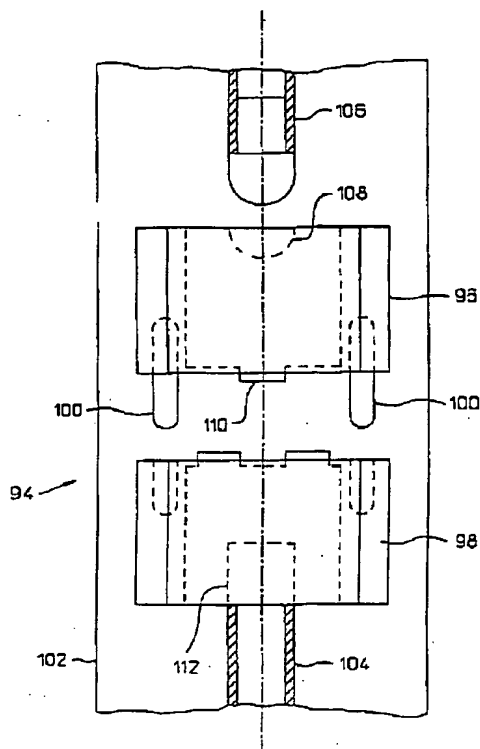
【図20】



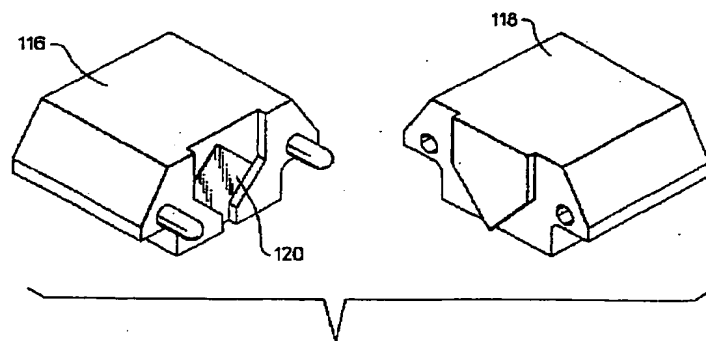
【図16】



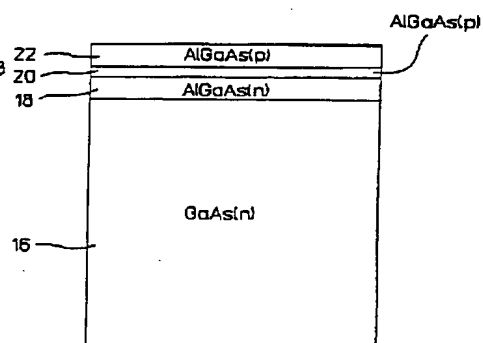
【図17】



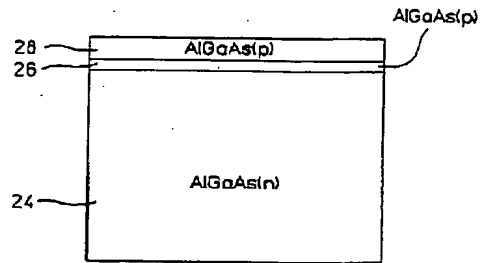
【図19】



【図21】



【図22】




---

フロントページの続き

(72)発明者 デニス・シー・デフェヴレ  
 アメリカ合衆国カリフォルニア州パロアル  
 ト マダックス・ドライブ 1043

(72)発明者 ヴァージニア・エム・ロビンズ  
 アメリカ合衆国カリフォルニア州ロスガト  
 ス グリーンウッド・ドライブ 17963

(72)発明者 ジョン・ウエビング  
 アメリカ合衆国カリフォルニア州パロアル  
 ト トウル・ウェイ 665



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**